

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月31日
Date of Application:

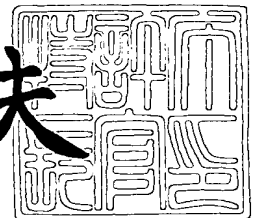
出願番号 特願2003-204739
Application Number:
[ST. 10/C]: [JP 2003-204739]

出願人 富士通株式会社
Applicant(s):

2003年 9月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3073542

【書類名】 特許願

【整理番号】 0340376

【提出日】 平成15年 7月31日

【あて先】 特許庁長官 今井 康夫 殿

【国際特許分類】 H03K 19/0944
G11C 11/413

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
株式会社内

【氏名】 宮城 覚

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100099759

【弁理士】

【氏名又は名称】 青木 篤

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】**【識別番号】** 100082898**【弁理士】****【氏名又は名称】** 西山 雅也**【先の出願に基づく優先権主張】****【出願番号】** 特願2002-295854**【出願日】** 平成14年10月 9日**【手数料の表示】****【予納台帳番号】** 209382**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0305916**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 実高電位電源線と疑似高電位電源線との間に接続された高閾値電圧の N チャネル型 M I S 電界効果トランジスタ、および、

低閾値電圧の P チャネル型 M I S 電界効果トランジスタおよび低閾値電圧の N チャネル型 M I S 電界効果トランジスタで構成された負荷回路を備え、

前記負荷回路の第 1 の電源端子を前記疑似高電位電源線に接続すると共に、該負荷回路の第 2 の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、前記低閾値電圧の P チャネル型 M I S 電界効果トランジスタのバックゲートを前記疑似高電位電源線に接続すると共に、前記低閾値電圧の N チャネル型 M I S 電界効果トランジスタのバックゲートを前記実低電位電源線に接続することを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 に記載の半導体集積回路装置において、さらに、前記高閾値電圧の N チャネル型 M I S 電界効果トランジスタを制御する制御信号を受け取り、該制御信号の立ち上がり波形を緩やかに立ち上がるように整形する波形整形回路を備え、該波形整形回路の出力信号を前記高閾値電圧の N チャネル型 M I S 電界効果トランジスタのゲートに供給することを特徴とする半導体集積回路装置。

【請求項 4】 実高電位電源線と疑似高電位電源線との間に接続され、緩やかに立ち上がる制御信号がゲートに入力されることにより制御される高閾値電圧の N チャネル型 M I S 電界効果トランジスタ、および、

低閾値電圧の P チャネル型 M I S 電界効果トランジスタおよび低閾値電圧の N チャネル型 M I S 電界効果トランジスタで構成された負荷回路を備え、

前記負荷回路の第 1 の電源端子を前記疑似高電位電源線に接続すると共に、該負荷回路の第 2 の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置。

【請求項 5】 第 1 の実電源線と第 1 の疑似電源線との間に接続された高閾値電圧の第 1 導電型 M I S 電界効果トランジスタ、

低閾値電圧の第 1 導電型 M I S 電界効果トランジスタおよび低閾値電圧の第 2 導電型 M I S 電界効果トランジスタで構成された負荷回路、および、

前記高閾値電圧の第 1 導電型 M I S 電界効果トランジスタを制御する第 1 のレベルの制御信号を受け取り、該第 1 のレベルの制御信号を第 2 のレベルの制御信号に変換して該高閾値電圧の第 1 導電型 M I S 電界効果トランジスタのゲートに供給するレベル変換回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続することを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 に記載の半導体集積回路装置において、前記高閾値電圧の第 1 導電型 M I S 電界効果トランジスタおよび前記レベル変換回路はモジュール化されていることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 5 に記載の半導体集積回路装置において、さらに、前記レベル変換回路の出力信号を受け取り、該レベル変換回路の出力信号の立ち上がり波形を緩やかに立ち上がるように整形する波形整形回路を備え、該波形整形回路の出力信号を前記高閾値電圧の第 1 導電型 M I S 電界効果トランジスタのゲートに供給することを特徴とする半導体集積回路装置。

【請求項 8】 請求項 5 に記載の半導体集積回路装置において、前記レベル変換回路から前記高閾値電圧の第 1 導電型 M I S 電界効果トランジスタまでの信号配線線上を物理的にシールドすることを特徴とする半導体集積回路装置。

【請求項 9】 第 1 の実電源線と第 1 の疑似電源線との間に接続された高閾値電圧の第 1 導電型 M I S 電界効果トランジスタ、および、

低閾値電圧の第 1 導電型 M I S 電界効果トランジスタおよび低閾値電圧の第 2 導電型 M I S 電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続し、且つ、前記第 1 の疑似電源線をチップの外部に引き出したことを特徴とする半導体集積回路装置。

【請求項 10】 第 1 の実電源線と第 1 の疑似電源線との間に接続された高

閾値電圧の第1導電型MIS電界効果トランジスタ、および、

低閾値電圧の第1導電型MIS電界効果トランジスタおよび低閾値電圧の第2導電型MIS電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第1の電源端子を前記第1の疑似電源線に接続すると共に、該負荷回路の第2の電源端子を第2の実電源線に接続し、且つ、前記第1の実電源線をチップの外部に引き出したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路装置に関し、特に、待機時におけるリーク電流の低減を行うためのMT-CMOSで構成されたリーク電流遮断回路を有する半導体集積回路装置に関する。

【0002】

近年、携帯用電子機器の高速化および長時間バッテリー駆動の要求に応えるべく、半導体集積回路には高速動作を維持しつつ低消費電力化することが求められている。半導体集積回路は、低消費電力化のために電源電圧を下げると、それに伴って動作速度も低下するため、MOS電界効果トランジスタ（Metal-Oxide-Semiconductor Field Effect Transistor、或いは、より広くMIS電界効果トランジスタ（Metal-Insulation-Semiconductor Field Effect Transistor））の閾値電圧を低下させる必要がある。しかしながら、MOSトランジスタの閾値電圧を低下させると、リーク電流の増加が問題となってくる。そこで、従来、低閾値トランジスタの電源線と実際の電源線との間に高閾値トランジスタを接続することで電力制御を行うMT-CMOS（Multi-Threshold CMOS）技術が提供されている。

【0003】

しかしながら、従来のMT-CMOSで構成されたリーク電流遮断回路を有する半導体集積回路装置は、セルが複数の電源線を持つことによりレイアウト面積が増大したり、低閾値のMOSトランジスタ回路で既存のスタンダードセルを使用することができなかつたり、一般的にトリプルウェルに比べコストの安いツイ

ンウェルプロセスを使用することができないといった問題があった。そこで、既存のスタンダードセルを使用すると共に、ツインウェルプロセスを使用し、且つ、レイアウト面積の増加を抑えることが可能な半導体集積回路装置の提供が要望されている。

【0004】

さらに、従来のMT-CMOSで構成されたリーク電流遮断回路を有する半導体集積回路装置において、一度に電源投入および切断する回路規模が大きくなると、そこでノイズが発生して近接する動作中の回路に誤動作を及ぼすといった問題も考えられ、マクロの電源投入および切断時のノイズを低く抑えて他の回路に誤作動を生じさせないようにした半導体集積回路装置の提供も要望されている。

【0005】

【従来の技術】

図1は従来のMT-CMOS技術を用いた半導体集積回路装置の例を概念的に示す回路図であり、図1(a)～図1(f)は、従来のMT-CMOS技術を用いた半導体集積回路装置の回路例を示している。図1(a)～図1(f)において、参照符号Q1A, Q1B, Q1DおよびQ1Eは高閾値電圧のPチャネル型MOS電界効果トランジスタ(High-Vth PMOSFET: 高閾値PMOSトランジスタ)、Q4A, Q4C, Q4DおよびQ4Fは高閾値電圧のNチャネル型MOS電界効果トランジスタ(High-Vth NMOSFET: 高閾値NMOSトランジスタ)、Q2A, Q2B, Q2C, Q2D, Q2EおよびQ2Fは低閾値電圧のPチャネル型MOS電界効果トランジスタ(Low-Vth PMOSFET: 低閾値PMOSトランジスタ)、そして、Q3A, Q3B, Q3C, Q3D, Q3EおよびQ3Fは低閾値電圧のNチャネル型MOS電界効果トランジスタ(Low-Vth NMOSFET: 低閾値NMOSトランジスタ)を示している。また、参照符号VDDは実高電位電源線、VDDVは疑似高電位電源線、GNDは実低電位電源線、そして、GNDVは疑似低電位電源線を示している。なお、図1(a)～図1(f)の半導体集積回路装置において、負荷回路(論理回路、或いは、論理回路の一部)AA～AFは、それぞれ直列接続された1つの低閾値PMOSトランジスタおよび1つの低閾値NMOSトランジスタとして描かれているが、実際には様々な構成とされるのはい

うまでもない。

【0006】

図1(a)、図1(b)、図1(c)および図1(f)に示す回路では、低閾値PMOSトランジスタQ2A、Q2B、Q2CおよびQ2Fのバックゲートは実高電位電源線VDDに接続され、また、図1(a)、図1(b)、図1(c)および図1(e)に示す回路では、低閾値NMOSトランジスタQ3A、Q3B、Q3CおよびQ3Eのバックゲートは実低電位電源線GNDに接続されている。さらに、図1(d)および図1(e)に示す回路では、低閾値PMOSトランジスタQ2DおよびQ2Eのバックゲートは疑似高電位電源線VDDVに接続され、また、図1(d)および図1(f)に示す回路では、低閾値NMOSトランジスタQ3DおよびQ3Fのバックゲートは疑似低電位電源線GNDVに接続されている。

【0007】

図1(a)、図1(b)、図1(d)および図1(e)に示す回路では、実高電位電源線VDDと疑似高電位電源線VDDVとの間に高閾値PMOSトランジスタQ1A、Q1B、Q1DおよびQ1Eが設けられ、また、図1(a)、図1(c)、図1(d)および図1(f)に示す回路では、実低電位電源線GNDと疑似低電位電源線GNDVとの間に高閾値NMOSトランジスタQ4A、Q4C、Q4DおよびQ4Fが設けられている。なお、図1(c)および図1(f)に示す回路では、疑似高電位電源線(VDDV)および高閾値PMOSトランジスタは設けられておらず、また、図1(b)および図1(e)に示す回路では、疑似低電位電源線(GNDV)および高閾値NMOSトランジスタは設けられていない。

【0008】

なお、高閾値PMOSトランジスタQ1A、Q1B、Q1DおよびQ1Eのゲートには電力制御線/PCNTを介して制御信号(/PCNT)が供給され、また、高閾値NMOSトランジスタQ4A、Q4C、Q4DおよびQ4Fのゲートには電力制御線PCNTを介して電力制御信号(PCNT)が供給され、例えば、スタンバイ時におけるリーク電流を低減するようになっている。

【0009】

従来、図1(a)～図1(f)に示すようなMT-CMOS技術を用いた半導体集積回路装置が提案されている（例えば、特許文献1および特許文献2参照）。

【0010】

すなわち、従来のMT-CMOS技術を用いた半導体集積回路装置は、実高電位電源線VDDと擬似高電位電源線VDDVとの間に高閾値PMOSトランジスタを設け、および／または、実低電位電源線GNDと擬似低電位電源線GNDVとの間に高閾値NMOSトランジスタを設けると共に、低閾値PMOSトランジスタのバックゲートを実高電位電源線VDDに接続し、および／または、低閾値NMOSトランジスタのバックゲートは実低電位電源線GNDに接続するようになっている。

【0011】

図2は図1に示す半導体集積回路装置の一例（図1(a)に示す半導体集積回路装置）のレイアウトを示す図である。ここで、図2(a)および図2(b)は、それぞれ図1(a)の半導体集積回路装置のレイアウトを示すものである。

【0012】

まず、図2(a)に示すレイアウトは、高閾値PMOSトランジスタQ1A、低閾値PMOSトランジスタQ2A、低閾値NMOSトランジスタQ3Aおよび高閾値PMOSトランジスタQ4Aを1つのセルとして構成している。

【0013】

また、図2(b)に示すレイアウトは、セル部分を低閾値MOSトランジスタのみで構成し、各電源線に接続される高閾値トランジスタは別の場所にまとめて配置している。すなわち、低閾値PMOSトランジスタQ2Aおよび低閾値NMOSトランジスタQ3Aを1つのセルとして構成し、実高電位電源線VDDと擬似高電位電源線VDDVとの間の高閾値PMOSトランジスタQ1A並びに実低電位電源線GNDと擬似低電位電源線GNDVとの間の高閾値NMOSトランジスタQ4Aをセルとは別の場所に配置するようになっている。

【0014】

ここで、図 2 (a) および図 2 (b) において、参照符号 BG 1 A ~ BG 4 A は、それぞれトランジスタ Q 1 A ~ Q 4 A におけるバックゲートを示している。

【0015】

ところで、一般的に、トランジスタのバックゲートはウェル電位を安定させるために各セルの近傍にあるのが望ましい。図 2 (a) および図 2 (b) に示すレイアウトでは、セルとして構成された低閾値 PMOS トランジスタ Q 2 A および低閾値 NMOS トランジスタ Q 3 A のバックゲート BG 2 A および BG 3 A は、それぞれ実高電位電源線 VDD および実低電位電源線 GND に接続する必要がある、従って、セルには実高電位電源線 VDD、擬似高電位電源線 VDDV、擬似低電位電源線 GNDV および実低電位電源線 GND の合計 4 つの電源配線が必要になる。なお、前述した図 1 (b) および図 1 (c) の半導体集積回路装置のレイアウトを考えた場合にも、セルには 3 つの電源線 (図 1 (b) : VDD, VDDV, GNDV、図 1 (c) : VDDV, GNDV, GND) が必要になる。

【0016】

図 3 は図 1 に示す半導体集積回路装置の一例の製造プロセスを説明するための模式的な断面図であり、図 1 (a) の半導体集積回路装置の製造プロセスを示すものである。

【0017】

図 3 に示されるように、上述した図 1 (a) の半導体集積回路装置は、ツインウェルにより構成することが可能である。なお、図 1 (b) および図 1 (c) の半導体集積回路装置も、同様にツインウェルにより構成することが可能である。

【0018】

図 4 は図 1 に示す半導体集積回路装置の他の例のレイアウトを示す図であり、図 1 (d) に示す半導体集積回路装置のレイアウトを示すものである。なお、図 4 において、参照符号 BG 2 D および BG 3 D は、それぞれトランジスタ Q 2 D および Q 3 D におけるバックゲートを示している。

【0019】

図 4 に示されるように、図 1 (d) に示す半導体集積回路装置は、図 2 (b) と同様に、低閾値 PMOS トランジスタ Q 2 D および低閾値 NMOS トランジスタ

タQ3Dを1つのセルとして構成し、実高電位電源線VDDと擬似高電位電源線VDDVとの間の高閾値PMOSトランジスタQ1D並びに実低電位電源線GNDと擬似低電位電源線GNDVとの間の高閾値NMOSトランジスタQ4Dをセルとは別の場所に配置するようになっている。ただし、図1(d)に示す半導体集積回路装置では、低閾値PMOSトランジスタQ2Dおよび低閾値NMOSトランジスタQ3DのバックゲートBG2DおよびBG3Dはそれぞれ擬似高電位電源線VDDVおよび擬似低電位電源線GNDVに接続すればよい。セルには擬似高電位電源線VDDVおよび擬似低電位電源線GNDVの2つの電源配線だけを配線すればよい。

【0020】

なお、前述した図1(e)および図1(f)の半導体集積回路装置のレイアウトを考えた場合もセルの構成は同じである。ただし、図1(e)の半導体集積回路装置では2つの電源配線が擬似高電位電源線VDDVと実低電位電源線GNDとなり、また、図1(f)の半導体集積回路装置では2つの電源配線が実高電位電源線VDDと擬似低電位電源線GNDVとなる。

【0021】

図5は図1に示す半導体集積回路装置の他の例の製造プロセスを説明するための模式的な断面図であり、図1(d)の半導体集積回路装置の製造プロセスを示すものである。ここで、図5(a)および図5(b)は、それぞれ図1(d)の半導体集積回路装置の製造プロセスを示しているが、図5(a)はツインウェル構造としたものを示し、また、図5(b)はトリプルウェル構造としたものを示している。

【0022】

図5(a)に示されるように、図1(d)の半導体集積回路装置をツインウェル構造としたものでは、高閾値NMOSトランジスタQ4Dと低閾値NMOSトランジスタQ3Dのバックゲート(Pチャネル型ウェル:P-well)がそれぞれ実低電位電源線GNDと擬似低電位電源線GNDVに接続されるが、基板(P型シリコン基板)を介してショートしてしまうことになる。すなわち、高閾値NMOSトランジスタQ4Dのバックゲート(Pチャネル型ウェル)は、P型シ

リコン基板を介して低閾値NMOSトランジスタQ3Dのバックゲート（Pチャネル型ウェル）に電氣的に接続されることになり、実低電位電源線GNDと擬似低電位電源線GNDVとがショートすることになる。なお、この実低電位電源線GNDと擬似低電位電源線GNDVとがショートするという問題は、図1（f）の半導体集積回路装置においても生じることである。

【0023】

また、図5（a）に示されるように、図1（d）の半導体集積回路装置をツインウェル構造としたものでは、高閾値PMOSトランジスタQ1Dと低閾値PMOSトランジスタQ2Dのバックゲート（Nチャネル型ウェル：N-well）がそれぞれ実高電位電源線VDDと擬似高電位電源線VDDVに接続されるが、この場合には、Nチャネル型ウェル（高閾値PMOSトランジスタQ1Dのバックゲートおよび低閾値PMOSトランジスタQ2Dのバックゲート）による分離で実高電位電源線VDDと擬似高電位電源線VDDVとのショートは回避される。なお、この高閾値PMOSトランジスタのバックゲートと低閾値PMOSトランジスタのバックゲートがNチャネル型ウェルで分離され、実高電位電源線VDDと擬似高電位電源線VDDVとのショートが回避されるのは、図1（e）の半導体集積回路装置においても同様である。

【0024】

これに対して、図5（b）から明らかなように、図1（d）の半導体集積回路装置をトリプルウェル構造としたものでは、高閾値NMOSトランジスタのバックゲートと低閾値NMOSトランジスタのバックゲート、および、高閾値PMOSトランジスタのバックゲートと低閾値PMOSトランジスタのバックゲートは共にショートすることなく形成される。これは、図1（e）および図1（f）の半導体集積回路装置でも同様である。

【0025】

また、関連技術として、低閾値トランジスタで構成されたマクロの周りに配置された複数の高閾値トランジスタで構成される電源スイッチを、時間差を付けてオン・オフすることで、同一電源に接続される他のマクロへのノイズを低減するようにしたリーク電流遮断回路を有する半導体集積回路が提案されている（例え

ば、特許文献 3 参照)。

【0 0 2 6】

さらに、従来、周辺回路の電源線にオン・オフ切り換えスイッチを設けてオフリーク電流を低減しようとする場合、スイッチの切り換え時に発生する電源ノイズによってメモリセルのデータが破壊されるのを防止するようにした半導体記憶装置も提案されている(例えば、特許文献 4 参照)。

【0 0 2 7】

【特許文献 1】

特開平 7 - 2 1 2 2 1 7 号公報 (図 1、図 5 等)

【特許文献 2】

特開平 5 - 2 1 0 9 7 6 号公報 (図 1、図 3、図 5、図 7 等)

【特許文献 3】

特願 2 0 0 2 - 0 9 2 8 0 1 号 (全体)

【特許文献 4】

特開 2 0 0 0 - 2 9 8 9 8 7 号公報 (全体)

【0 0 2 8】

【発明が解決しようとする課題】

上述したように、例えば、図 1 (a)、図 1 (b) および図 1 (c) に示す従来の半導体集積回路装置においては、セルが複数の電源線 (VDD, VDDV, GND, GNDV) を持つことによるレイアウト面積の増大や、低閾値の MOS トランジスタ回路で既存のスタンダードセルが使用できないといった問題がある。

【0 0 2 9】

また、例えば、図 1 (d) および図 1 (f) に示す従来の半導体集積回路装置においては、一般的にトリプルウェルに比べてコストの安いツインウェルの製造プロセス (ツインウェル構造) を適用することができないといった問題がある。さらに、図 1 (e) に示す従来の半導体集積回路装置においては、P チャネル型 MOS トランジスタ (PMOS トランジスタ) で電源スイッチ (MT-CMOS スイッチ) を構成すると、キャリアが正孔であるため、キャリアが電子である N

チャネル型に比べてキャリアの移動度が小さく、電源スイッチにおける電圧ドロップを所定値以下にしようとする、PMOSトランジスタ幅が増えてレイアウト面積が増加するといった問題もある。

【0030】

ところで、近年、上述したようなMT-CMOS技術を用いた半導体集積回路装置においても高機能化および大容量化が進められ、回路規模が大きくなって来ることが考えられる。このように、一度に電源投入および切断する回路規模が大きくなると、 di/dt （時間当たりの電流変化）が大きくなってノイズ源となり、近接した動作中の回路に誤動作を及ぼすといった課題も生じている。

【0031】

本発明は、上述した従来の半導体集積回路装置が有する課題に鑑み、既存のスタンダードセルを使用すると共に、ツインウェル構造を適用し、且つ、レイアウト面積の増加を抑えることのできる半導体集積回路装置の提供を目的とする。さらに、本発明は、マクロの電源投入および切断時のノイズを低く抑えて他の回路に誤作動を生じさせないようにした半導体集積回路装置の提供も目的とする。

【0032】

【課題を解決するための手段】

本発明の第1の形態によれば、実高電位電源線と疑似高電位電源線との間に接続された高閾値電圧のNチャネル型MIS電界効果トランジスタ、および、低閾値電圧のPチャネル型MIS電界効果トランジスタおよび低閾値電圧のNチャネル型MIS電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第1の電源端子を前記疑似高電位電源線に接続すると共に、該負荷回路の第2の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置が提供される。

【0033】

本発明の第1の形態に係る半導体集積回路装置によれば、高閾値電圧のNチャネル型MIS電界効果トランジスタは実高電位電源線と疑似高電位電源線との間に接続され、また、負荷回路は低閾値電圧のPチャネル型MIS電界効果トランジスタおよび低閾値電圧のNチャネル型MIS電界効果トランジスタで構成され

ている。そして、負荷回路の第1の電源端子は疑似高電位電源線に接続され、負荷回路の第2の電源端子は実低電位電源線に接続される。

【0034】

これにより、既存のスタンダードセルを使用すると共に、ツインウェル構造を適用し、且つ、レイアウト面積の増加を抑えることのできる半導体集積回路装置を構成することができる。

【0035】

ここで、半導体集積回路装置は、例えば、さらに、高閾値電圧のNチャネル型MIS電界効果トランジスタを制御する制御信号を受け取り、該制御信号の立ち上がり波形を緩やかに立ち上がるように整形する波形整形回路を備える。この緩やかに立ち上がる波形の波形整形回路の出力信号を高閾値電圧のNチャネル型MIS電界効果トランジスタのゲートに供給することにより、マクロの電源投入および切断時のノイズを低く抑えて他の回路に誤作動を生じさせないようにすることができる。

【0036】

本発明の第2の形態によれば、実高電位電源線と疑似高電位電源線との間に接続され、緩やかに立ち上がる制御信号がゲートに入力されることにより制御される高閾値電圧のNチャネル型MIS電界効果トランジスタ、および、低閾値電圧のPチャネル型MIS電界効果トランジスタおよび低閾値電圧のNチャネル型MIS電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第1の電源端子を前記疑似高電位電源線に接続すると共に、該負荷回路の第2の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置が提供される。

【0037】

本発明の第3の形態によれば、第1の実電源線と第1の疑似電源線との間に接続された高閾値電圧の第1導電型MIS電界効果トランジスタ、低閾値電圧の第1導電型MIS電界効果トランジスタおよび低閾値電圧の第2導電型MIS電界効果トランジスタで構成された負荷回路、および、前記高閾値電圧の第1導電型MIS電界効果トランジスタを制御する第1のレベルの制御信号を受け取り、該

第 1 のレベルの制御信号を第 2 のレベルの制御信号に変換して該高閾値電圧の第 1 導電型 M I S 電界効果トランジスタのゲートに供給するレベル変換回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続することを特徴とする半導体集積回路装置が提供される。

【 0 0 3 8 】

本発明の第 4 の形態によれば、第 1 の実電源線と第 1 の疑似電源線との間に接続された高閾値電圧の第 1 導電型 M I S 電界効果トランジスタ、および、低閾値電圧の第 1 導電型 M I S 電界効果トランジスタおよび低閾値電圧の第 2 導電型 M I S 電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続し、且つ、前記第 1 の疑似電源線をチップの外部に引き出したことを特徴とする半導体集積回路装置が提供される。

【 0 0 3 9 】

本発明の第 5 の形態によれば、第 1 の実電源線と第 1 の疑似電源線との間に接続された高閾値電圧の第 1 導電型 M I S 電界効果トランジスタ、および、低閾値電圧の第 1 導電型 M I S 電界効果トランジスタおよび低閾値電圧の第 2 導電型 M I S 電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続し、且つ、前記第 1 の実電源線をチップの外部に引き出したことを特徴とする半導体集積回路装置が提供される。

【 0 0 4 0 】

【発明の実施の形態】

以下、本発明に係る半導体集積回路装置の実施例を、添付図面を参照して詳述する。

【 0 0 4 1 】

図 6 は本発明に係る半導体集積回路装置の第 1 実施例を概念的に示す回路図である。また、図 7 は図 6 に示す半導体集積回路装置のレイアウトを示す図である。さらに、図 8 は図 6 に示す半導体集積回路装置の製造プロセスを説明するため

の模式的な断面図であり、ツインウェル構造としたものを示している。

【0042】

図6～図8において、参照符号Q1は高閾値電圧のNチャネル型MOS電界効果トランジスタ（High-V_{th} NMOSFET：高閾値NMOSトランジスタ）、Q2およびQ3は低閾値電圧のPチャネル型MOS電界効果トランジスタ（Low-V_{th} PMOSFET：低閾値PMOSトランジスタ）、そして、Q4およびQ5は低閾値電圧のNチャネル型MOS電界効果トランジスタ（Low-V_{th} NMOSFET：低閾値NMOSトランジスタ）を示している。また、参照符号VDDは実高電位電源線、VDDVは疑似高電位電源線、そして、GNDは実低電位電源線を示している。なお、図6の半導体集積回路装置において、負荷回路（論理回路、或いは、論理回路の一部）Aは、2つの低閾値PMOSトランジスタQ2、Q3および2つの低閾値NMOSトランジスタQ4、Q5により描かれているが、実際には様々な構成とされるのはいうまでもない。ここで、実高電位電源線VDDには、例えば、0.7Vの電源電圧が印加される。

【0043】

図6に示されるように、実高電位電源線VDDと疑似高電位電源線VDDVの間には高閾値NMOSトランジスタQ1が設けられ、この疑似高電位電源線VDDVと実低電位電源線GNDとの間に負荷回路（セル）Aが設けられるようになっている。負荷回路Aは、並列接続された低閾値PMOSトランジスタQ2、Q3および直列接続された低閾値NMOSトランジスタQ4、Q5を備えている。すなわち、低閾値PMOSトランジスタQ2およびQ3のソースは疑似高電位電源線VDDVに共通接続され、低閾値PMOSトランジスタQ2およびQ3の共通接続されたドレインと低閾値NMOSトランジスタQ4のドレインが接続されている。さらに、低閾値NMOSトランジスタQ4のソースは低閾値NMOSトランジスタQ5のドレインに接続され、そして、低閾値NMOSトランジスタQ5のソースは実低電位電源線GNDに接続されている。

【0044】

本実施例の半導体集積回路装置において、低閾値PMOSトランジスタQ2およびQ3のバックゲートは疑似高電位電源線VDDVに接続され、また、低閾値

NMOSトランジスタQ4およびQ5のバックゲートは実低電位電源線GNDに接続されている。ここで、高閾値NMOSトランジスタQ1のバックゲートは、実低電位電源線GNDに接続されている。なお、高閾値PMOSトランジスタQ1のゲートには電力制御線PCNTを介して電力制御信号(PCNT)が供給され、例えば、スタンバイ時におけるリーク電流を低減するようになっている。

【0045】

本実施例の半導体集積回路装置においては、高閾値NMOSトランジスタQ1のバックゲートは実低電位電源線GNDに接続され、また、低閾値NMOSトランジスタQ4およびQ5のバックゲートは実低電位電源線GNDに接続され、そして、低閾値PMOSトランジスタQ2およびQ3のバックゲートは疑似高電位電源線VDDVに接続されるようになっている。すなわち、低閾値PMOSトランジスタQ2およびQ3のバックゲートは、前述した図1(d)および図1(e)と同様に疑似高電位電源線VDDVに接続されるが、図8に示されるように、低閾値PMOSトランジスタQ2およびQ3のNチャネル型ウェルにより分離されるため、ツインウェル構造として構成した場合でも他のバックゲートとの基板経由のショートは生じることがない。

【0046】

また、図7に示されるように、低閾値PMOSトランジスタQ2およびQ3のソースおよびバックゲートは疑似高電位電源線VDDVにのみ接続され、また、低閾値NMOSトランジスタQ4およびQ5のソースおよびバックゲートは実低電位電源線GNDにのみに接続されるため、既存のスタンダードセルを使用することができる。さらに、電源スイッチを高閾値NMOSトランジスタQ1で構成しているため、Pチャネル型NMOSトランジスタで構成した場合に比べてレイアウト面積を小さくすることが可能になる。

【0047】

ここで、本実施例の半導体集積回路装置において、電源スイッチのトランジスタは、従来(例えば、図1(b)の半導体集積回路装置)とは異なり、高閾値NMOSトランジスタQ1により構成されているため、電力制御信号(PCNT)としては、ソース側の電位(VDDV) + トランジスタQ1の閾値電圧($V_{th}(Q$

1)) 以上の電圧を与えないとオンしないため、例えば、『0 V』および『3 V (或いは、3.3 V)』の電圧を与える。すなわち、電力制御信号 (PCNT) として 0 V を与えた場合は、トランジスタ Q1 がオフとなって低閾値トランジスタのリーク電流が遮断され、また、電力制御信号 (PCNT) として 3 V を与えた場合は、トランジスタ Q1 がオンとなって実高電位電源線 VDD と擬似高電位電源線 VDDV が導通して負荷回路が動作可能になる。

【0048】

図 7 に示されるように、本実施例の半導体集積回路装置のレイアウトにおいて、セルは低閾値 PMOS トランジスタ Q2, Q3 および低閾値 NMOS トランジスタ Q4, Q5 並びにバックゲート BG2 および BG3 で構成され、また、電源も擬似高電位電源線 VDDV と実低電位電源線 GND のみでよい。従来、標準セルをそのまま使用することができる。複数のセル (セル 1 ~ セル N) は、電源を接続する形で一列に配置されて回路を構成するが、この列は複数列あってもかまわない。

【0049】

さらに、図 7 に示されるように、電源スイッチとなる高閾値 NMOS トランジスタ Q1 およびそのバックゲート BG1 は、1 個所にまとめて最適なレイアウトサイズで形成することができ、また、トランジスタ Q1 は回路に流れるピーク電流値によっては数 cm ~ 数十 cm のトランジスタ幅を持たせる場合も考えられるので、複数のトランジスタに分割して実現することもできる。

【0050】

なお、図 8 から明らかなように、本実施例の半導体集積回路装置は、ツインウェル構造でも、前述した図 1 (d) および図 1 (f) に示す従来の半導体集積回路装置のように、別ノードのバックゲート同士が基板経由でショートすることがなく、高価なトリプルウェルプロセスを採用しなくても実現することができる。

【0051】

図 9 は半導体集積回路装置における電源スイッチ部の構成を説明するための回路図であり、図 9 (a) は上述した本発明に係る半導体集積回路装置の第 1 実施例を示すもので電源スイッチに N チャネル型 MOS トランジスタ (高閾値 NMO

S トランジスタ Q 1) を用いたもの、図 9 (b) は従来の半導体集積回路装置で電源スイッチに P チャネル型 MOS トランジスタ (例えば、図 1 (b) の半導体集積回路装置：高閾値 PMOS トランジスタ Q 1 B) を用いたもの、そして、図 9 (c) は電源スイッチがオンした場合と等価な抵抗 R_{drop} に置き換えたものを示している。

【0 0 5 2】

図 9 (a) および図 9 (b) に示すトランジスタは、例えば、一般に I/O の最終段バッファに用いられているような高閾値電圧のトランジスタである 3 V (或いは、3.3 V) 駆動の MOS トランジスタを使用する。これにより、新たに閾値の高いトランジスタを製造および特性管理を行う必要が無くなる。内部の負荷回路は、通常用意されている低閾値電圧の MOS トランジスタを使用すればよい。

【0 0 5 3】

設計時においては、回路にピーク電流 I_{peak} が流れる場合には、電源スイッチにおける許容電圧ドロップ値を仕様として決めておく必要があり、負荷回路はワーストケースの電源ドロップが発生しても動作保証できるように設計される。ここで、実高電位電源線 VDD の電圧を 0.7 V とした場合、電源スイッチにおける許容電圧ドロップを 1 % 以下と規定したとき、擬似高電位電源線 VDDV のワーストの電圧は約 0.693 V となる。

【0 0 5 4】

このとき、図 9 (a) における電力制御信号 (PCNT) が 3 V、また、図 9 (b) における電力制御信号 (\neg PCNT) が -2.6 V の場合に、それぞれのトランジスタ (Q 1 N, Q 1 P) がオンとなってピーク電流 I_{peak} が流れることを考えると、トランジスタ Q 1 N および Q 1 P は図 9 (c) のような等価な抵抗 R_{drop} に置き換えることができる。図 9 (a) と図 9 (b) とを比較すると、同じピーク電流 I_{peak} を流すためには、それぞれのトランジスタのオン抵抗を調整するためにトランジスタ幅 W_p , W_n を最適にする必要がある。このトランジスタ幅 W_p , W_n は、チップ全体の消費電流によっては数 μm ~ 数十 μm にもする必要があり、チップサイズに大きな影響がある。

【0055】

ところで、正孔をキャリアとするPMOSトランジスタは、移動度の高い電子をキャリアとするNMOSトランジスタに比べてより大きいトランジスタ幅 W_p が必要となる。具体的に、例えば、SPICEシミュレーションでも、PMOSトランジスタは、NMOSトランジスタに比べて約3倍のトランジスタ幅が必要という結果になった。従って、従来のようにPMOSトランジスタのみで電源スイッチを構成すると、Nチャネル型のみで構成した場合に比べてレイアウト面積が増大するようになる。さらに、PMOSトランジスタの場合は、オンするために通常使わない負の電圧を与える必要があるが、NMOSトランジスタの場合は一般に使われる3Vインターフェースでよいことになる。

【0056】

図10は本発明に係る半導体集積回路装置の第2実施例を概略的に示すブロック回路図である。

【0057】

図10に示されるように、本第2実施例の半導体集積回路装置は、制御信号（電源投入および切断を制御する信号）MTCNTを、波形整形回路101を介して高閾値NMOSトランジスタ（電源スイッチ：MT-CMOSスイッチ）Q1のゲートに供給するようになっている。すなわち、制御信号MTCNTは、波形整形回路101によって、立ち上がり波形が緩やかに立ち上がるように整形され、その緩やかな立ち上がり波形の波形整形回路101の出力信号が高閾値NMOSトランジスタQ1のゲートに供給される。ここで、高閾値NMOSトランジスタQ1は、ソースフォロアとなっているため、そのソースを介して供給される疑似高電位電源線VDDVの電圧も緩やかに立ち上がることになる。ここで、制御信号MTCNTは、例えば、3Vインターフェースの信号であり、波形整形回路101に印加される電源電圧（VDD1）は、例えば、3Vであり、そして、高閾値NMOSトランジスタQ1のドレインに印加される電圧VDD2（VDD）は、例えば、1.8Vである。

【0058】

これにより、例えば、負荷回路Aの回路規模が大きくて電源オン時における電

流の変化が大きい場合でも、疑似高電位電源線 $VDDV$ の電圧が緩やかに立ち上がるため、 di/dt （時間当たりの電流変化）は小さく抑えられることになり、ノイズの発生が抑制される。すなわち、負荷回路 A の電源オン時においても、負荷回路 A の電源電圧（ $VDDV$ ）は緩やかに立ち上がる（鈍る）ため、例えば、負荷回路 A に隣接する別の電源系の動作中の回路 B に対するノイズの影響を低減することが可能になる。

【0059】

また、制御信号 $MTCNT$ は、内部または外部から入力することが可能である。内部の場合は、ロジック回路で論理演算を行った後、制御信号が生成される。ロジック回路は、一般的にスタンダードセル、ゲートアレイ等で構成され、ドライブ可能な負荷以内に設計されるため、ナノ秒オーダーのスルーレートしか期待できない。また、外部の場合は、I/Oバッファを通過するため、これもナノ秒オーダーのスルーレートである。ノイズ対策を考えると、スイッチングされる回路規模にもよるが、通常、マイクロ秒或いはミリ秒オーダーが必要となってくる。よって、波形整形を行う回路が LSI 内部に必要となる。

【0060】

図 11 は本発明に係る半導体集積回路装置の第 3 実施例を概略的に示すブロック回路図あり、図 11 (a) は電源スイッチ (MT-CMOS スイッチ) として高閾値 NMOS トランジスタ $Q1N$ を適用したものを示し、また、図 11 (b) は電源スイッチとして高閾値 PMOS トランジスタ $Q1P$ を適用したものを示す。なお、図 11 (a) および図 11 (b) において、制御信号 $MTCNT$ は、例えば、1.8 V インターフェースの信号であり、レベル変換回路 102 に印加される電源電圧 ($VDD1$) は、例えば、3 V であり、そして、高閾値 NMOS トランジスタ $Q1N$ のドレイン (高閾値 PMOS トランジスタ $Q1P$ のソース) に印加される電圧 $VDD2$ は、例えば、1.8 V である。

【0061】

図 11 (a) 或いは図 11 (b) に示されるように、本第 3 実施例の半導体集積回路装置は、例えば、1.8 V インターフェースレベル (低閾値電圧のトランジスタで構成される負荷回路 A と同じインターフェースレベル) の制御信号 MT

CNT（ノードN1）をレベル変換回路102で3V系の信号レベルに変換（昇圧：ノードN2）して高閾値NMOSトランジスタQ1N或いは高閾値PMOSトランジスタQ1Pのゲートに供給するようになっている。ここで、図11（a）に示されるように、レベル変換回路102および電源スイッチ（高閾値NMOSトランジスタ）Q1Nはモジュール（MT-CMOSセル）100として構成され、或いは、図11（b）に示されるように、レベル変換回路102および電源スイッチ（高閾値PMOSトランジスタ）Q1Pはモジュール100として構成されており、例えば、3V系の信号レベルに変換されたレベル変換回路102の出力信号による隣接回路等への悪影響を低減するようになっている。

【0062】

すなわち、例えば、電源スイッチQ1N（Q1P）のゲートに供給される信号は、通常のトランジスタの信号よりも高い電圧となっており、電圧レベルの異なる信号線が隣り合ったり、交差し合うのはクロストークやノイズの観点から好ましくない。そこで、レベル変換回路102および電源スイッチQ1N（Q1P）をモジュール化することで、高電圧信号（レベル変換回路102の出力信号）をモジュール中に閉じ込めて、クロストークやノイズの発生を低減するようになっている。

【0063】

図12は図11に示す第3実施例を適用した半導体集積回路装置の構成例を概略的に示す図である。ここで、レベル変換回路102に印加される電源電圧（VDD1）は、例えば、3Vであり、また、制御回路200、レベル変換回路102および電源スイッチQ1のドレインに印加される電源電圧（VDD2）は、例えば、1.8Vである。

【0064】

図12に示されるように、制御回路200から出力された1.8V系の信号レベルの制御信号MTCNTは、モジュール100におけるレベル変換回路102で3V系の信号にレベル変換されて電源スイッチ（高閾値NMOSトランジスタ）Q1のゲートに供給される。このように、レベル変換回路102および電源スイッチQ1をモジュール100として構成することで、モジュール100に与え

る制御信号MTCNTは、内部ロジック電源（例えば、1.8V）と同じインターフェースレベルの信号とすることができ、チップ内の任意の位置に配置可能とすることができる。そして、低電圧信号線は通常通りマクロ間（例えば、制御回路200（マクロ1）や負荷回路300（マクロ2））に配線すればよく、高電圧信号線（ノードN2）の影響を受け難くすることができる。

【0065】

図13は本発明に係る半導体集積回路装置の第4実施例を概略的に示すブロック回路図である。

【0066】

図13に示されるように、本第4実施例の半導体集積回路装置は、上述した波形整形回路101およびレベル変換回路102の両方を備えるものであり、レベル変換回路102によりモジュール100に与える制御信号MTCNTとして内部ロジック電源（例えば、1.8V）と同じインターフェースレベルの信号を使用可能とすると共に、高電圧信号線（ノードN2'）の影響を受け難くし、且つ、波形整形回路101により負荷回路Aの疑似高電位電源線VDDVの電圧を緩やかに立ち上げて（鈍らせて）ノイズの発生を抑制するようになっている。

【0067】

図14は本発明に係る半導体集積回路装置の第5実施例を概略的に示すブロック回路図であり、図15は図14に示す半導体集積回路装置を説明するためのチップ配線層の断面図である。図15において、参照符号SBは半導体基板、WL1～WL7は配線層、そして、IL1～IL6は絶縁層を示している。

【0068】

本第5実施例の半導体集積回路装置は、上述した図12に示す第3実施例の半導体集積回路装置において、レベル変換回路102の出力である高電位インターフェース（3Vインターフェース）の信号配線LHを有するモジュール100の上方にシールド層110を設け、そのシールド層110の上方に内部ロジック電源と同じインターフェース（1.8Vインターフェース）の信号配線LLを設けている。

【0069】

すなわち、図14および図15に示されるように、例えば、配線層WL1～WL3をトランジスタ回路の配線に使用し、配線層WL4を3Vインターフェースの信号配線LHとして使用し、配線層WL5を電源VDD、VSS等の配線に使用する場合、3Vインターフェースの信号配線LHを有するモジュール100の上方の配線層WL6をシールド層110として接地（接地点110a）し、その配線層WL6の上方の配線層L7に1.8Vインターフェースの信号配線LLを設けるようになっている。

【0070】

この本第5実施例の半導体集積回路装置によれば、1.8Vインターフェースの信号配線LLは、シールド層110（配線層WL6）により3Vインターフェースの信号配線LHからシールドされ、3Vインターフェースの信号配線LHによるノイズの影響を低減することができる。

【0071】

図16は本発明に係る半導体集積回路装置の第6実施例を概略的に示す回路図である。

【0072】

図16に示されるように、本第6実施例の半導体集積回路装置は、低閾値PMOSトランジスタ（Low-Vth PMOSFET）M1、M3および低閾値NMOSトランジスタ（Low-Vth NMOSFET）M2、M4より成る2段のインバータで構成されるバッファ103、高閾値PMOSトランジスタ（High-Vth PMOSFET）M5、M7および高閾値NMOSトランジスタ（High-Vth NMOSFET）M6、M8を有するレベル変換回路102、高閾値PMOSトランジスタM9、M11、M14～M121および高閾値NMOSトランジスタM10、M12、M13、M22を有する波形整形回路101、および、電源スイッチQ1を備えている。

【0073】

ここで、バッファ103における低閾値PMOSトランジスタM1およびM3のソースが接続される電源電圧VDD2は、例えば、1.3V（或いは、1.8V）であり、一方、レベル変換回路102の高閾値PMOSトランジスタM5、M7のソース並びに波形整形回路101の高閾値PMOSトランジスタM11、

M16, M17のソースおよび高閾値NMOSトランジスタM13のドレインが接続される電源電圧VDD1は、例えば、2.5V（或いは、3V）である。また、波形整形回路101の最終段の高閾値PMOSトランジスタM17～M21は、ゲート長（トランジスタ長）を長く、ゲート幅を短く、さらに、複数個（図16では5個）直列に接続することで、オン抵抗を増大して出力信号（ノードN2）の立ち上がり波形を鈍らせるようになっている。

【0074】

このように、本第6実施例の半導体集積回路装置は、波形整形回路101の最終段の高閾値PMOSトランジスタM17～M21を直列接続することでオン抵抗を増大して出力波形を鈍らせるようになっているため、後述するデジタル／アナログ変換器（D／Aコンバータ）を用いた波形整形回路に比べてトランジスタ数を少なくして回路規模を小さくすると共に、制御も簡単に行うことができる。

【0075】

図17は図16に示す半導体集積回路装置の動作を説明するための図である。なお、図17では、制御信号MTCNTは1.3V系の信号であり、波形整形回路101の出力信号（ノードN2）は2.5V系の信号である。また、擬似高電位電源線VDDVの電圧が約1.2Vなのは電圧ドロップに依るものである。

【0076】

図17から明らかなように、図16に示す半導体集積回路装置によれば、波形整形回路101の出力信号（N2）の波形は、制御信号MTCNTの立ち上がり波形に対して緩やかに立ち上がり、この緩やかに立ち上がる信号波形（N3）をゲートで受ける電源スイッチ（MT-CMOSスイッチ）Q1のソースフォロアにより、擬似高電位電源線VDDVの電圧も緩やかに立ち上がる。これにより、例えば、負荷回路（A）の回路規模が大きくて電源オン時における電流の変化が大きい場合でも、 di/dt （時間当たりの電流変化）は小さく抑えられることになり、ノイズの発生が抑制される。

【0077】

図18は本発明に係る半導体集積回路装置の第7実施例を概略的に示すブロッ

ク回路図である。

【0078】

図18に示されるように、本第7実施例の半導体集積回路装置は、波形整形回路101を、例えば、 n ビットの制御信号 $[n:1]$ で出力電圧（ノードN2）を制御するD/Aコンバータで構成することにより、波形の鈍りの制御を容易にすると共に、大きく鈍らせることができるようになっている。すなわち、波形整形回路101を、例えば、図16に示すようなトランジスタのサイズおよび数を調整して構成しようとする、十分な鈍り波形を得ることが難しいが、本第7実施例のようにD/Aコンバータで構成すると、波形整形回路101の出力波形（ノードN2）はステップ電圧となるが、十分に鈍らせることが可能になる。さらに、本第7実施例の半導体集積回路装置によれば、波形整形回路101の出力波形はプログラマブルに調整することができるため、例えば、半導体集積回路装置（LSI）の評価後に傾きを最適な値に変更することも可能になる。

【0079】

図19は本発明に係る半導体集積回路装置の第8実施例を概略的に示すブロック回路図である。

【0080】

図19に示されるように、本第8実施例の半導体集積回路装置では、負荷回路AはRAM（例えば、SRAM：Static Random Access Memory）として構成され、このRAM（負荷回路A）を、例えば、バックアップ待機時等において、動作保証電圧（VDDV）よりも低い電圧（VDDM'）で駆動するようになっている。すなわち、 n ビットの制御信号 $[n:1]$ を制御することにより、D/Aコンバータで構成した波形整形回路101の出力電圧をVDDMとし、ソースフォロアとされた電源スイッチ（MT-CMOSスイッチ）Q1のソースから出力される電圧（擬似高電位電源線VDDV）を、負荷回路（RAM）Aの記憶内容の保持のみを保証する電圧（VDDM'）として、例えば、バックアップ待機時の消費電力を低減するようになっている。

【0081】

具体的に、例えば、 $0.11\mu\text{m}$ プロセスで製造したSRAMにおいて、記憶

データを保持するための電圧は、例えば、通常使用時の電源電圧（例えば、1.3 V）の半分程度でよい。ため、バックアップ待機時の電圧を通常使用時の電源電圧の半分程度にすることにより消費電力を低減することができる。なお、負荷回路 A としては、S R A M 等の R A M 以外にもフリップフロップ（F F）等であっても、同様に電源電圧を通常使用時の電圧よりも低減して使用することができる。

【0 0 8 2】

図 2 0 は本発明に係る半導体集積回路装置の第 9 実施例を概略的に示すブロック回路図である。

【0 0 8 3】

図 2 0 に示されように、本第 9 実施例の半導体集積回路装置では、実電源線（実高電位電源線）V D D および擬似電源線（疑似高電位電源線 V D D V）を半導体チップ（L S I）の外部に引き出し、電圧測定器 4 0 1 および 4 0 2 により、それぞれ実電源線 V D D および擬似電源線 V D D V の電圧を測定できるようになっている。これにより、実電源線 V D D における実際の電圧ドロップの評価、および、M T - C M O S 回路のオン抵抗の測定等が可能になり、シミュレーション値との比較および調査等を行うことが可能になる。

【0 0 8 4】

（付記 1） 実高電位電源線と疑似高電位電源線との間に接続された高閾値電圧の N チャネル型 M I S 電界効果トランジスタ、および、

低閾値電圧の P チャネル型 M I S 電界効果トランジスタおよび低閾値電圧の N チャネル型 M I S 電界効果トランジスタで構成された負荷回路を備え、

前記負荷回路の第 1 の電源端子を前記疑似高電位電源線に接続すると共に、該負荷回路の第 2 の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置。

【0 0 8 5】

（付記 2） 付記 1 に記載の半導体集積回路装置において、前記低閾値電圧の P チャネル型 M I S 電界効果トランジスタのバックゲートを前記疑似高電位電源線に接続すると共に、前記低閾値電圧の N チャネル型 M I S 電界効果トランジスタ

タのバックゲートを前記実低電位電源線に接続することを特徴とする半導体集積回路装置。

【0086】

(付記3) 付記1に記載の半導体集積回路装置において、さらに、
前記高閾値電圧のNチャネル型MIS電界効果トランジスタを制御する制御信号を受け取り、該制御信号の立ち上がり波形を緩やかに立ち上がるように整形する波形整形回路を備え、該波形整形回路の出力信号を前記高閾値電圧のNチャネル型MIS電界効果トランジスタのゲートに供給することを特徴とする半導体集積回路装置。

【0087】

(付記4) 付記3に記載の半導体集積回路装置において、前記高閾値電圧のNチャネル型MIS電界効果トランジスタはソースフォロアとされ、前記ゲートに供給される緩やかな立ち上がり波形の前記波形整形回路の出力信号に応じて、該高閾値電圧のNチャネル型MIS電界効果トランジスタのソースに接続される前記疑似高電位電源線の電圧が緩やかに立ち上がることを特徴とする半導体集積回路装置。

【0088】

(付記5) 実高電位電源線と疑似高電位電源線との間に接続され、緩やかに立ち上がる制御信号がゲートに入力されることにより制御される高閾値電圧のNチャネル型MIS電界効果トランジスタ、および、

低閾値電圧のPチャネル型MIS電界効果トランジスタおよび低閾値電圧のNチャネル型MIS電界効果トランジスタで構成された負荷回路を備え、

前記負荷回路の第1の電源端子を前記疑似高電位電源線に接続すると共に、該負荷回路の第2の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置。

【0089】

(付記6) 第1の実電源線と第1の疑似電源線との間に接続された高閾値電圧の第1導電型MIS電界効果トランジスタ、

低閾値電圧の第1導電型MIS電界効果トランジスタおよび低閾値電圧の第2

導電型M I S 電界効果トランジスタで構成された負荷回路、および、

前記高閾値電圧の第 1 導電型M I S 電界効果トランジスタを制御する第 1 のレベルの制御信号を受け取り、該第 1 のレベルの制御信号を第 2 のレベルの制御信号に変換して該高閾値電圧の第 1 導電型M I S 電界効果トランジスタのゲートに供給するレベル変換回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続することを特徴とする半導体集積回路装置。

【 0 0 9 0 】

(付記 7) 付記 6 に記載の半導体集積回路装置において、前記高閾値電圧の第 1 導電型M I S 電界効果トランジスタおよび前記レベル変換回路はモジュール化されていることを特徴とする半導体集積回路装置。

【 0 0 9 1 】

(付記 8) 付記 6 に記載の半導体集積回路装置において、前記第 1 のレベルは前記負荷回路の信号インターフェースレベルであり、前記第 2 のレベルは該第 1 のレベルよりも大きなレベルであることを特徴とする半導体集積回路装置。

【 0 0 9 2 】

(付記 9) 付記 6 に記載の半導体集積回路装置において、前記第 1 の実電源線は実高電位電源線であり、前記第 2 の実電源線は実低電位電源線であり、前記第 1 の疑似電源線は疑似高電位電源線であり、且つ、前記高閾値電圧の第 1 導電型M I S 電界効果トランジスタは高閾値電圧のNチャネル型M I S 電界効果トランジスタであり、

前記高閾値電圧のNチャネル型M I S 電界効果トランジスタのドレインを前記実高電位電源線に接続し、そのソースを前記疑似高電位電源線に接続し、且つ、そのバックゲートを前記実低電位電源線に接続することを特徴とする半導体集積回路装置。

【 0 0 9 3 】

(付記 1 0) 付記 6 に記載の半導体集積回路装置において、前記第 1 の実電源線は実高電位電源線であり、前記第 2 の実電源線は実低電位電源線であり、前記第 1 の疑似電源線は疑似高電位電源線であり、且つ、前記高閾値電圧の第 1 導

電型M I S 電界効果トランジスタは高閾値電圧のPチャネル型M I S 電界効果トランジスタであり、

前記高閾値電圧のPチャネル型M I S 電界効果トランジスタのソースおよびバックゲートを前記実高電位電源線に接続し、且つ、そのドレインを前記疑似高電位電源線に接続することを特徴とする半導体集積回路装置。

【0 0 9 4】

(付記 1 1) 付記 6 に記載の半導体集積回路装置において、さらに、

前記レベル変換回路の出力信号を受け取り、該レベル変換回路の出力信号の立ち上がり波形を緩やかに立ち上がるように整形する波形整形回路を備え、該波形整形回路の出力信号を前記高閾値電圧の第 1 導電型M I S 電界効果トランジスタのゲートに供給することを特徴とする半導体集積回路装置。

【0 0 9 5】

(付記 1 2) 付記 1 1 に記載の半導体集積回路装置において、前記高閾値電圧の第 1 導電型M I S 電界効果トランジスタはソースフォロアとされ、前記ゲートに供給される緩やかな立ち上がり波形の前記波形整形回路の出力信号に応じて、該高閾値電圧の第 1 導電型M I S 電界効果トランジスタのソースに接続される前記第 1 の疑似電源線の電圧が緩やかに立ち上がることを特徴とする半導体集積回路装置。

【0 0 9 6】

(付記 1 3) 付記 6 に記載の半導体集積回路装置において、前記レベル変換回路から前記高閾値電圧の第 1 導電型M I S 電界効果トランジスタまでの信号配線線上を物理的にシールドすることを特徴とする半導体集積回路装置。

【0 0 9 7】

(付記 1 4) 付記 1 3 に記載の半導体集積回路装置において、該半導体集積回路装置は多層配線構造を有し、前記シールドは所定の間配線層に形成され、該所定の間配線層の上部配線層に前記負荷回路の信号インターフェースレベルの信号配線が形成されることを特徴とする半導体集積回路装置。

【0 0 9 8】

(付記 1 5) 付記 3 または 1 1 に記載の半導体集積回路装置において、前記

波形整形回路は、ゲート長が大きく、ゲート幅が小さく、或いは、複数が直列接続された高閾値電圧の最終段M I S 電界効果トランジスタを備えることを特徴とする半導体集積回路装置。

【 0 0 9 9 】

(付記 1 6) 付記 3 または 1 1 に記載の半導体集積回路装置において、前記波形整形回路は、デジタル／アナログ変換器を備えることを特徴とする半導体集積回路装置。

【 0 1 0 0 】

(付記 1 7) 付記 1 6 に記載の半導体集積回路装置において、前記負荷回路は、メモリ回路を備え、前記デジタル／アナログ変換器は、該メモリ回路の動作保証電圧よりも低い、記憶内容の保持のみを保証する電圧を出力してバックアップ待機時の消費電力を削減することを特徴とする半導体集積回路装置。

【 0 1 0 1 】

(付記 1 8) 第 1 の実電源線と第 1 の疑似電源線との間に接続された高閾値電圧の第 1 導電型M I S 電界効果トランジスタ、および、

低閾値電圧の第 1 導電型M I S 電界効果トランジスタおよび低閾値電圧の第 2 導電型M I S 電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続し、且つ、前記第 1 の疑似電源線をチップの外部に引き出したことを特徴とする半導体集積回路装置。

【 0 1 0 2 】

(付記 1 9) 第 1 の実電源線と第 1 の疑似電源線との間に接続された高閾値電圧の第 1 導電型M I S 電界効果トランジスタ、および、

低閾値電圧の第 1 導電型M I S 電界効果トランジスタおよび低閾値電圧の第 2 導電型M I S 電界効果トランジスタで構成された負荷回路を備え、前記負荷回路の第 1 の電源端子を前記第 1 の疑似電源線に接続すると共に、該負荷回路の第 2 の電源端子を第 2 の実電源線に接続し、且つ、前記第 1 の実電源線をチップの外部に引き出したことを特徴とする半導体集積回路装置。

【 0 1 0 3 】

【発明の効果】

以上、詳述したように、本発明の半導体集積回路装置によれば、既存のスタンダードセルを使用することができ、また、トリプルウェルに比べコストの安いツインウェルプロセスで製造することができ、そして、従来の半導体集積回路装置に比較してレイアウト面積も小さくすることができる。さらに、本発明の半導体集積回路装置によれば、マクロの電源投入および切断時のノイズを低く抑えて他の回路に誤作動を生じさせないようにすることができる。

【図面の簡単な説明】**【図 1】**

従来のMT-CMOS技術を用いた半導体集積回路装置の例を概念的に示す回路図である。

【図 2】

図 1 に示す半導体集積回路装置の一例のレイアウトを示す図である。

【図 3】

図 1 に示す半導体集積回路装置の一例の製造プロセスを説明するための模式的な断面図である。

【図 4】

図 1 に示す半導体集積回路装置の他の例のレイアウトを示す図である。

【図 5】

図 1 に示す半導体集積回路装置の他の例の製造プロセスを説明するための模式的な断面図である。

【図 6】

本発明に係る半導体集積回路装置の第 1 実施例を概念的に示す回路図である。

【図 7】

図 6 に示す半導体集積回路装置の製造プロセスを説明するための模式的な断面図である。

【図 8】

図 6 に示す半導体集積回路装置のレイアウトを示す図である。

【図 9】

半導体集積回路装置における電源スイッチ部の構成を説明するための回路図である。

【図 1 0】

本発明に係る半導体集積回路装置の第 2 実施例を概略的に示すブロック回路図である。

【図 1 1】

本発明に係る半導体集積回路装置の第 3 実施例を概略的に示すブロック回路図である。

【図 1 2】

図 1 1 に示す第 3 実施例を適用した半導体集積回路装置の構成例を概略的に示す図である。

【図 1 3】

本発明に係る半導体集積回路装置の第 4 実施例を概略的に示すブロック回路図である。

【図 1 4】

本発明に係る半導体集積回路装置の第 5 実施例を概略的に示すブロック回路図である。

【図 1 5】

図 1 4 に示す半導体集積回路装置を説明するためのチップ配線層の断面図である。

【図 1 6】

本発明に係る半導体集積回路装置の第 6 実施例を概略的に示す回路図である。

【図 1 7】

図 1 6 に示す半導体集積回路装置の動作を説明するための図である。

【図 1 8】

本発明に係る半導体集積回路装置の第 7 実施例を概略的に示すブロック回路図である。

【図 1 9】

本発明に係る半導体集積回路装置の第 8 実施例を概略的に示すブロック回路図

である。

【図 2 0】

本発明に係る半導体集積回路装置の第 9 実施例を概略的に示すブロック回路図である。

【符号の説明】

1 0 0…モジュール

1 0 1…波形整形回路

1 0 2…レベル変換回路

2 0 0…制御回路（マクロ 1）

3 0 0…負荷回路（マクロ 2）

A, A A ~ A F…負荷回路（論理回路の一部）

G N D…実低電位電源線

G N D V…擬似低電位電源線

P C N T, / P C O N T…電力制御線（電力制御信号）

Q 1 A, Q 1 B, Q 1 D, Q 1 E…高閾値電圧の P チャネル型 MOS F E T（高閾値 P M O S トランジスタ）

Q 2, Q 3 ; Q 2 A, Q 2 B, Q 2 C, Q 2 D, Q 2 E, Q 2 F…低閾値電圧の P チャネル型 MOS F E T（低閾値 P M O S トランジスタ）

Q 4, Q 5 ; Q 3 A, Q 3 B, Q 3 C, Q 3 D, Q 3 E, Q 3 F…低閾値電圧の N チャネル型 MOS F E T（低閾値 N M O S トランジスタ）

Q 1 ; Q 4 A, Q 4 C, Q 4 D, Q 4 F…高閾値電圧の N チャネル型 MOS F E T（高閾値 N M O S トランジスタ）

V D D…実高電位電源線

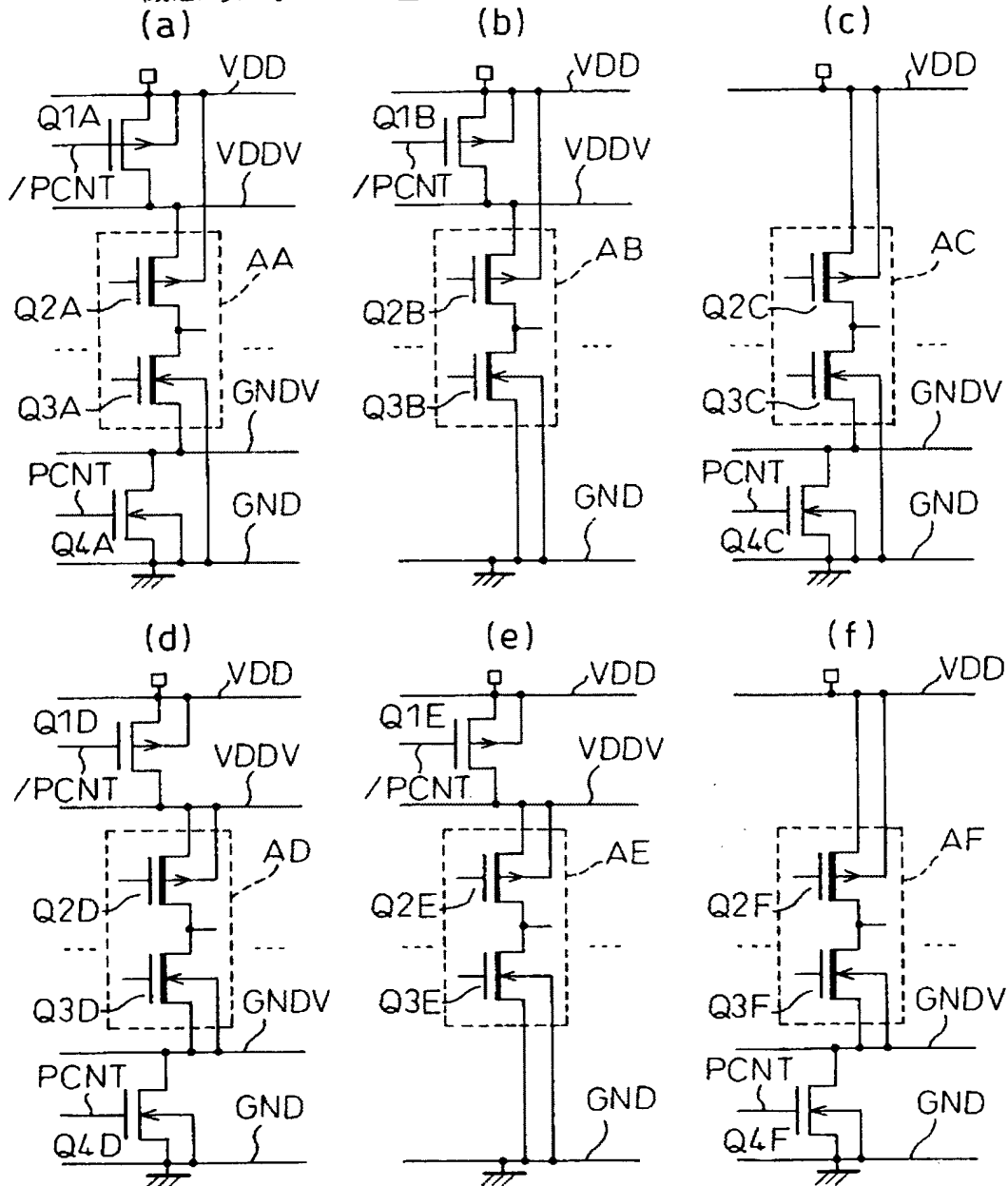
V D D V…擬似高電位電源線（擬似電源線）

【書類名】

図面

【図 1】

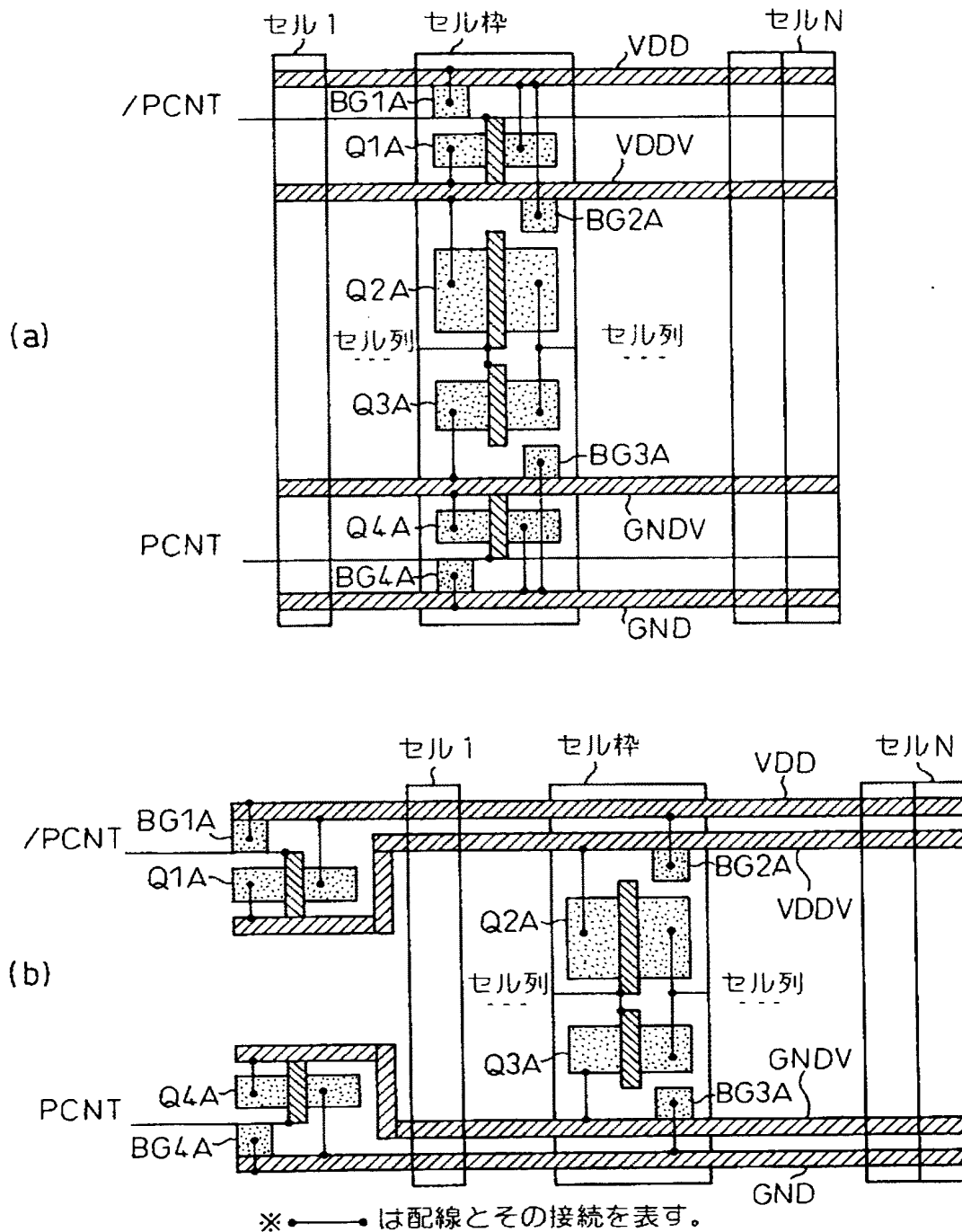
図 1 従来のMT-CMOS技術を用いた半導体集積回路装置の例を概念的に示す回路図



$\begin{array}{|c|} \hline \text{High-}V_{th} \text{ NMOSFET} \\ \hline \end{array}$
 $\begin{array}{|c|} \hline \text{Low-}V_{th} \text{ PMOSFET} \\ \hline \end{array}$
 $\begin{array}{|c|} \hline \text{Low-}V_{th} \text{ NMOSFET} \\ \hline \end{array}$
 $\begin{array}{|c|} \hline \text{High-}V_{th} \text{ PMOSFET} \\ \hline \end{array}$

【図 2】

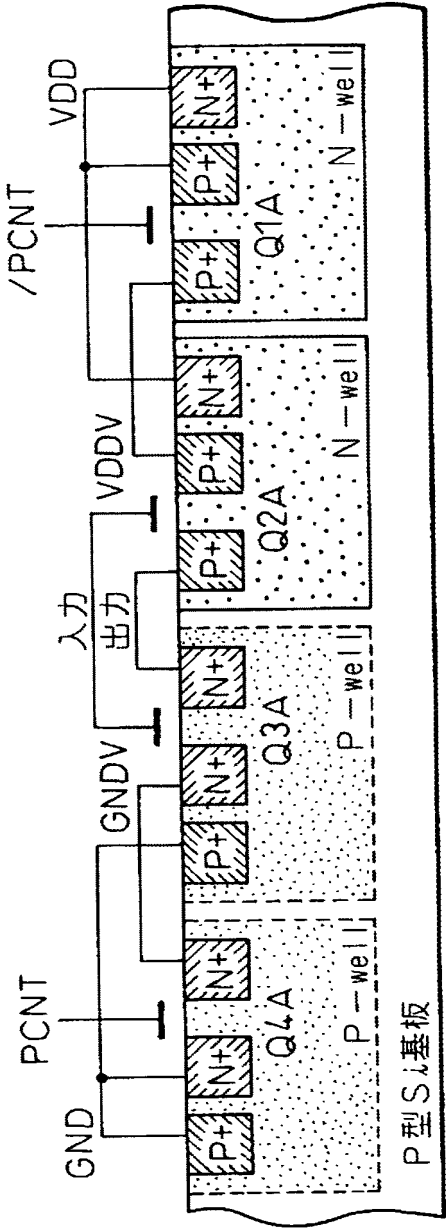
図 2 図 1 に示す半導体集積回路装置の一例のレイアウトを示す図



【図3】

図 3

図1に示す半導体集積回路装置の一例の製造プロセスを説明するための模式的な断面図

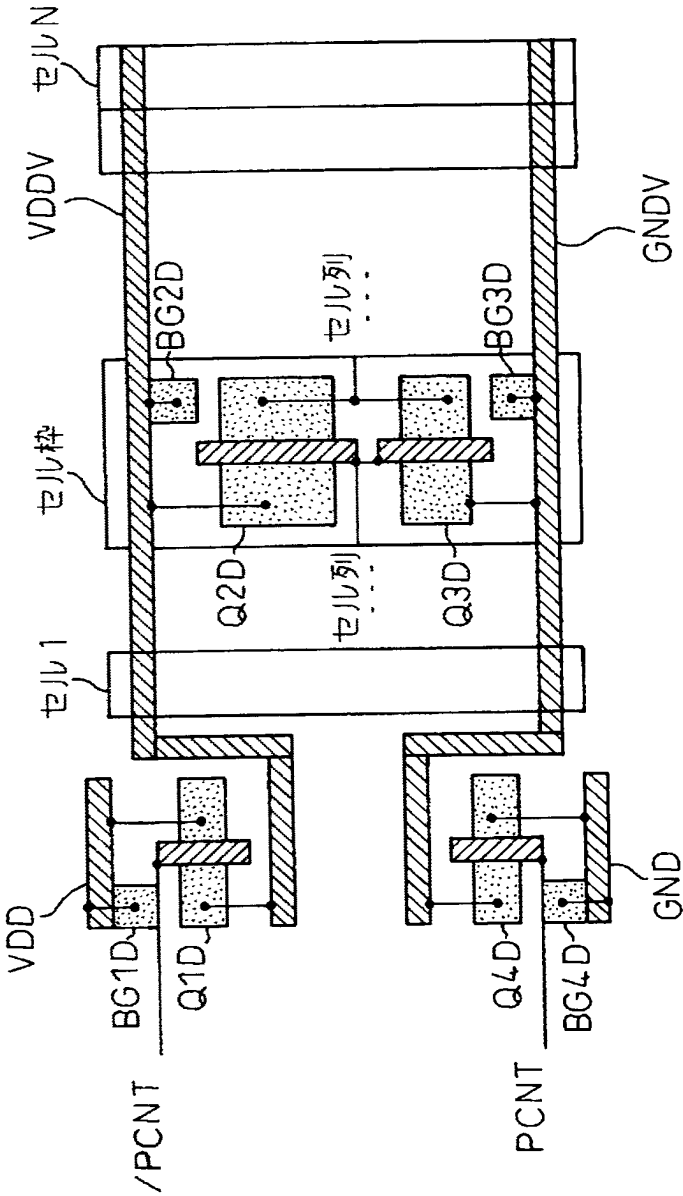


〔ツインウェル構造〕

【図 4】

図 4

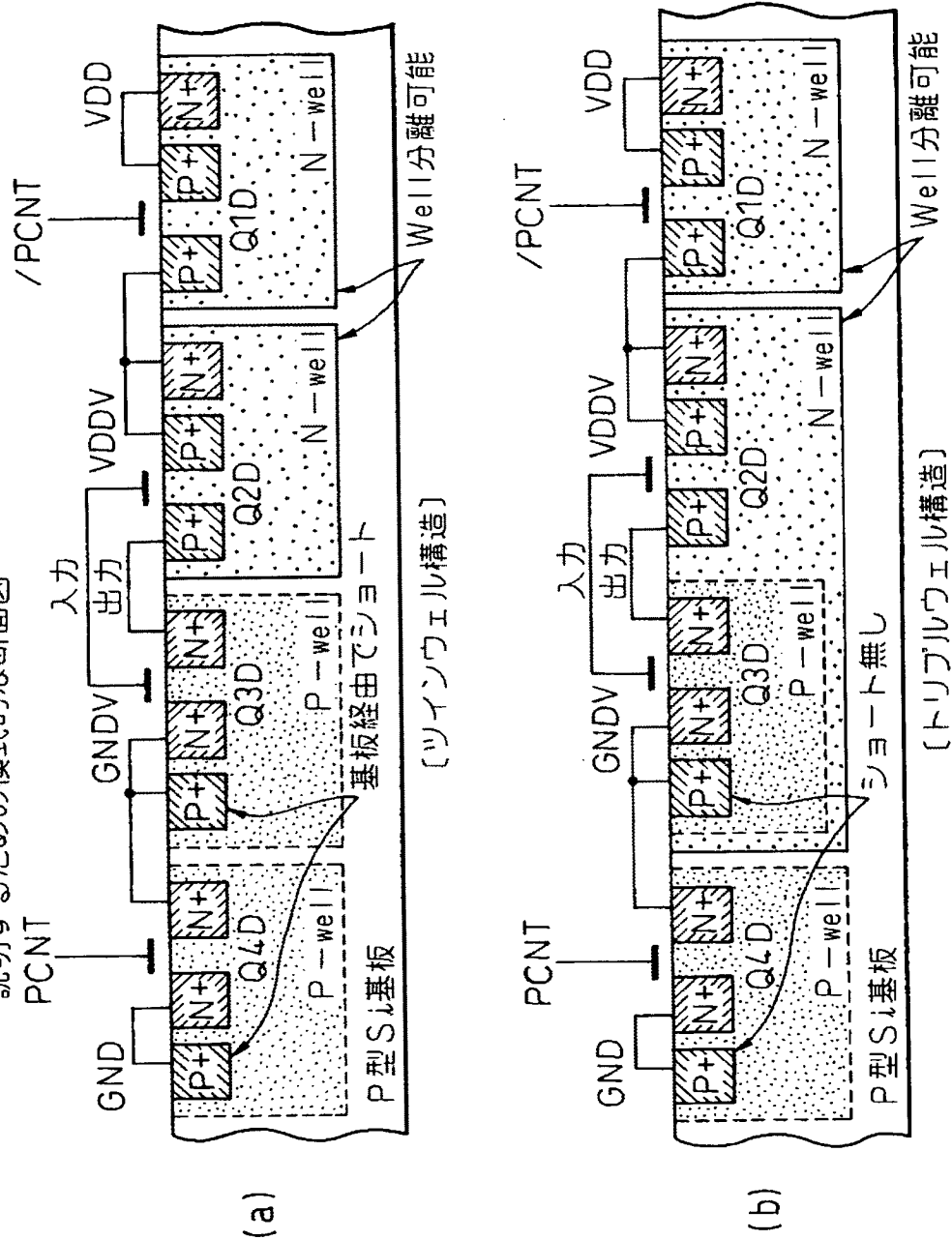
図 1 に示す半導体集積回路装置の他の例のレイアウトを示す図



【図 5】

図 5

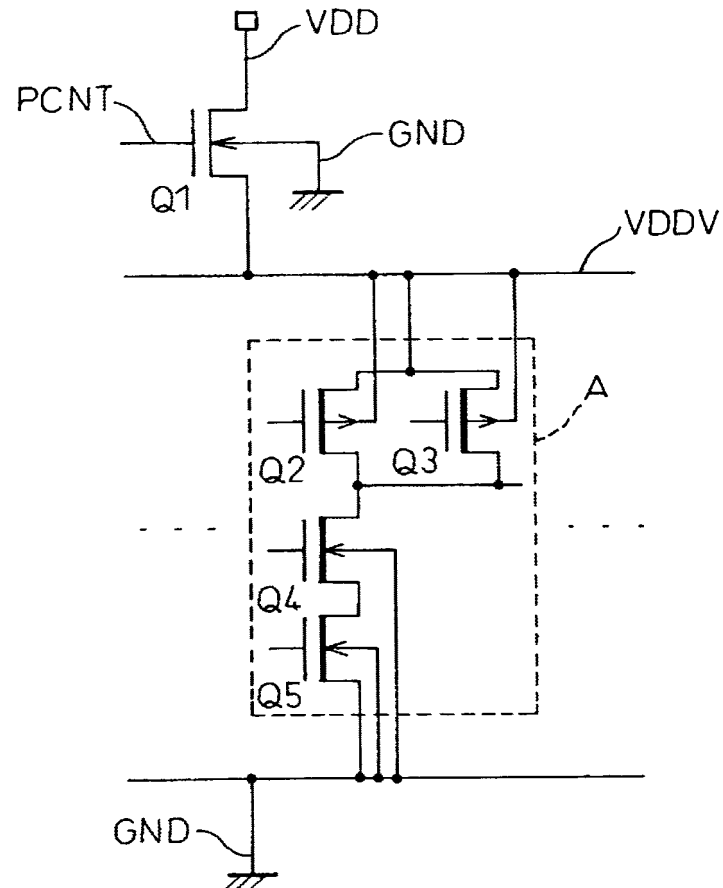
図 1 に示す半導体集積回路装置の他の例の製造プロセスを説明するための模式的な断面図



【図 6】

图 6

本発明に係る半導体集積回路装置の第 1 実施例を概念的に示す回路図

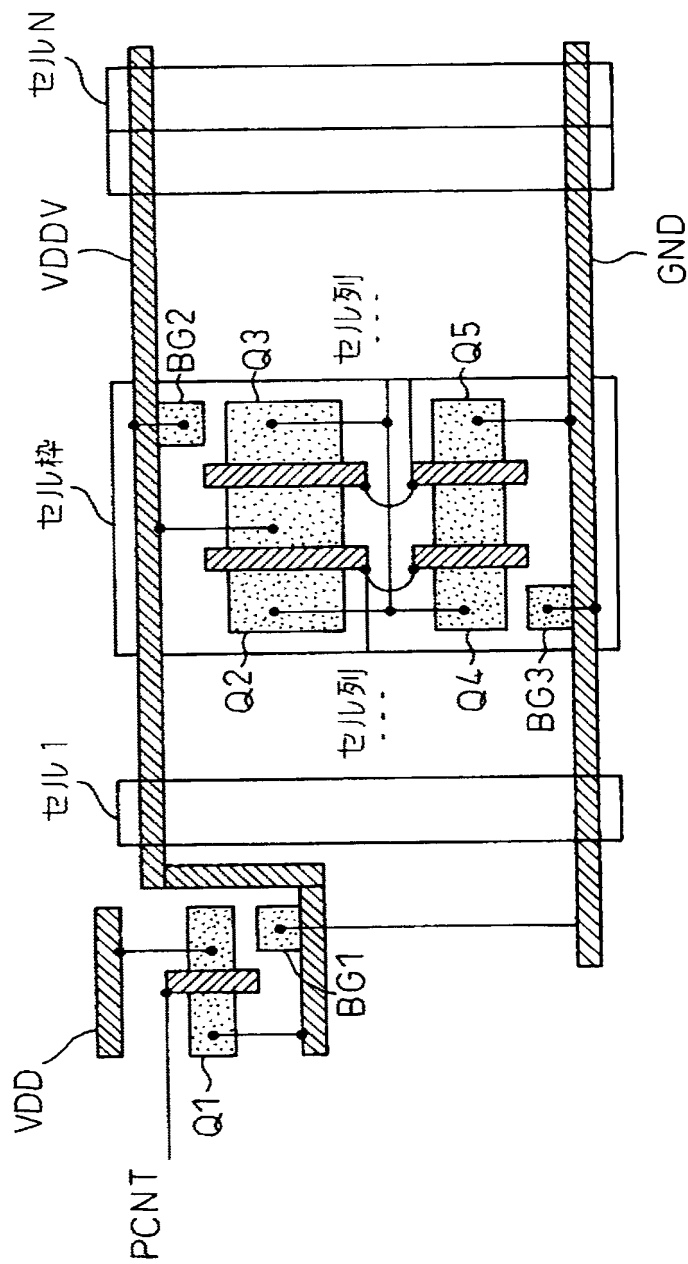


\rightarrow High- V_{th} NMOSFET \rightarrow Low- V_{th} PMOSFET
 \rightarrow Low- V_{th} NMOSFET

【図 7】

図 7

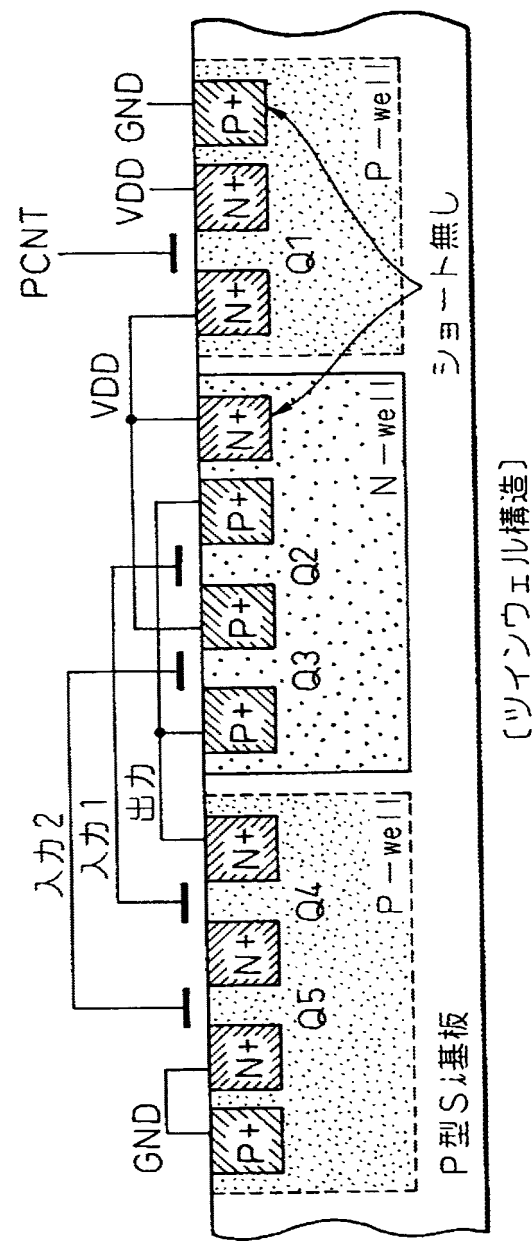
図 6 に示す半導体集積回路装置の製造プロセスを説明するための模式的な断面図



【図 8】

図 8

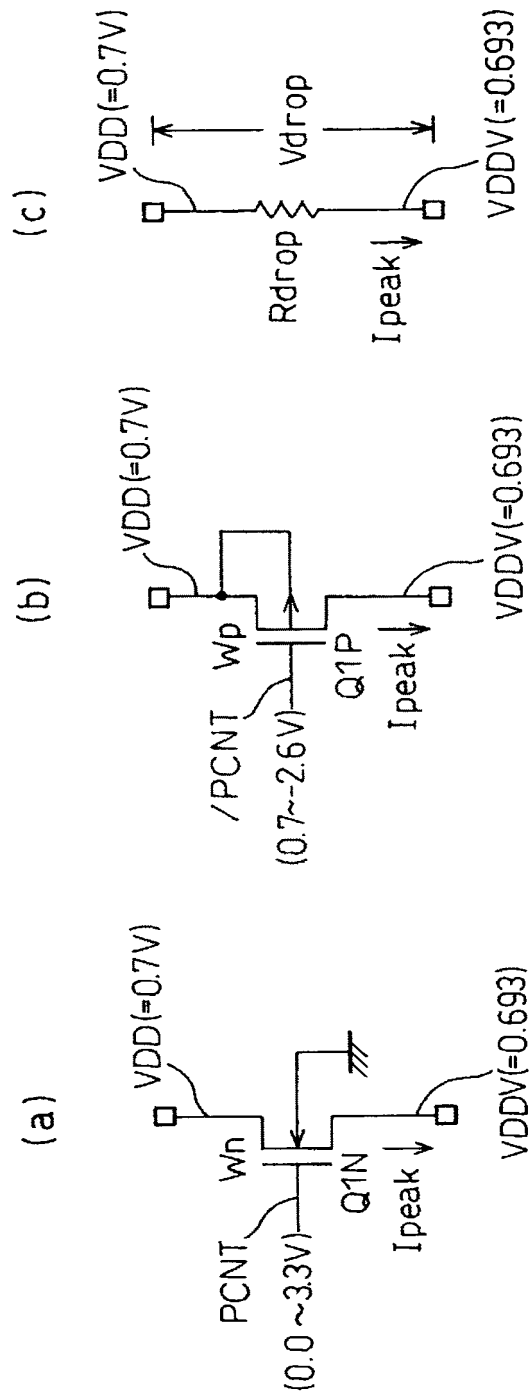
図 6 に示す半導体集積回路装置のレイアウトを示す図



【図 9】

図 9

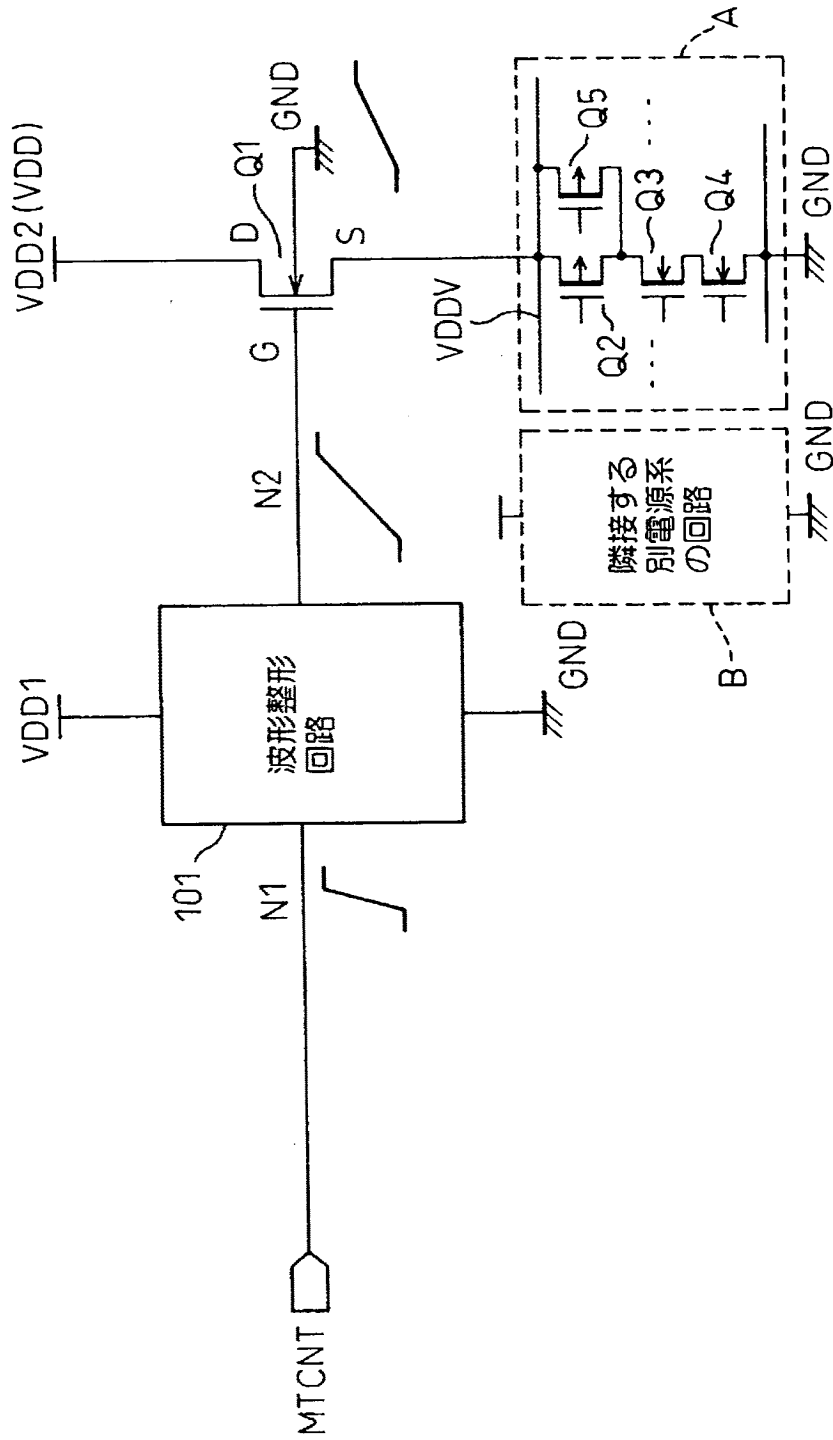
半導体集積回路装置における電源スイッチ部の構成を説明するための回路図



【図 10】

図 10

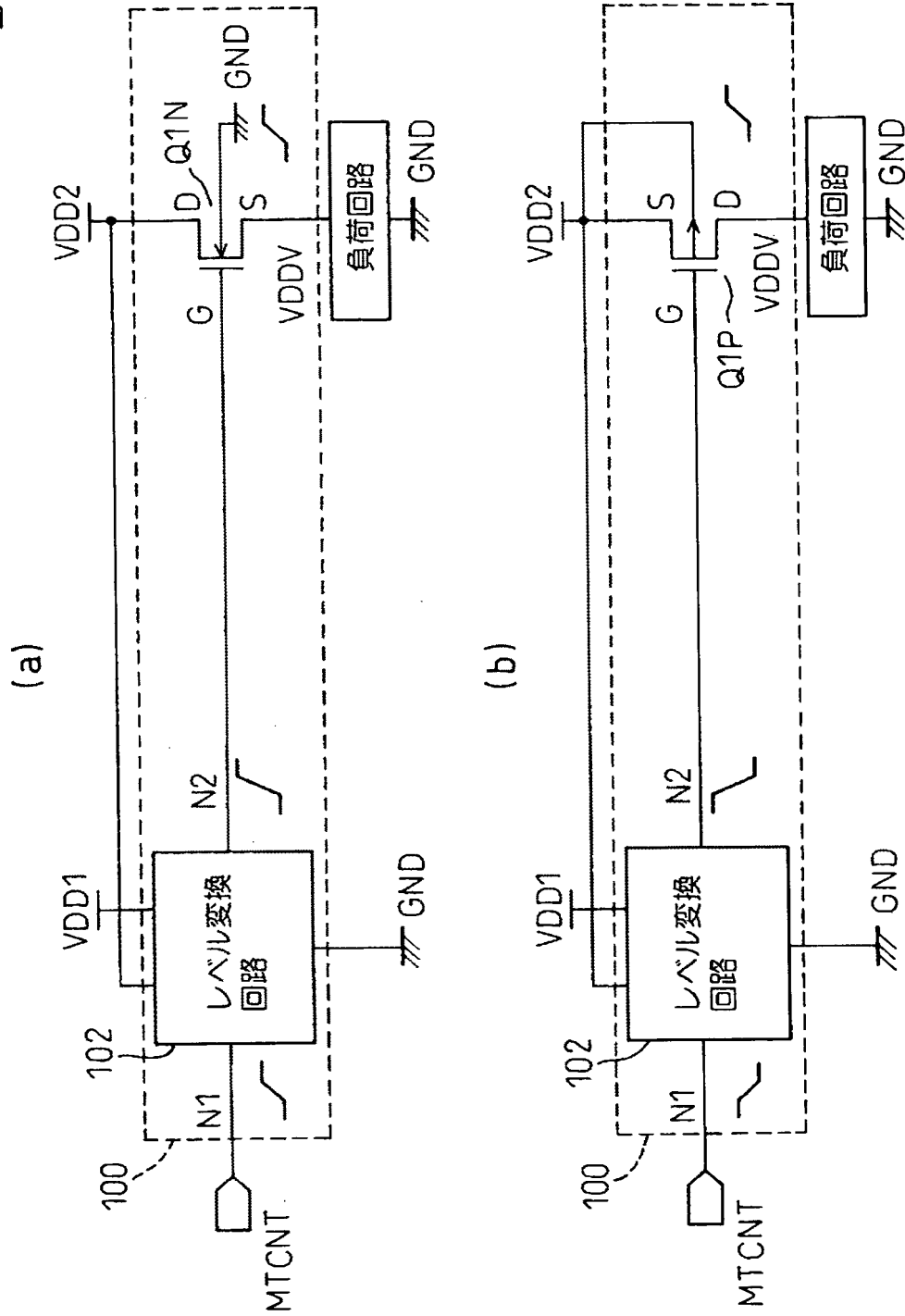
本発明に係る半導体集積回路装置の第 2 実施例を概略的に示すブロック回路図



【図 11】

図 11

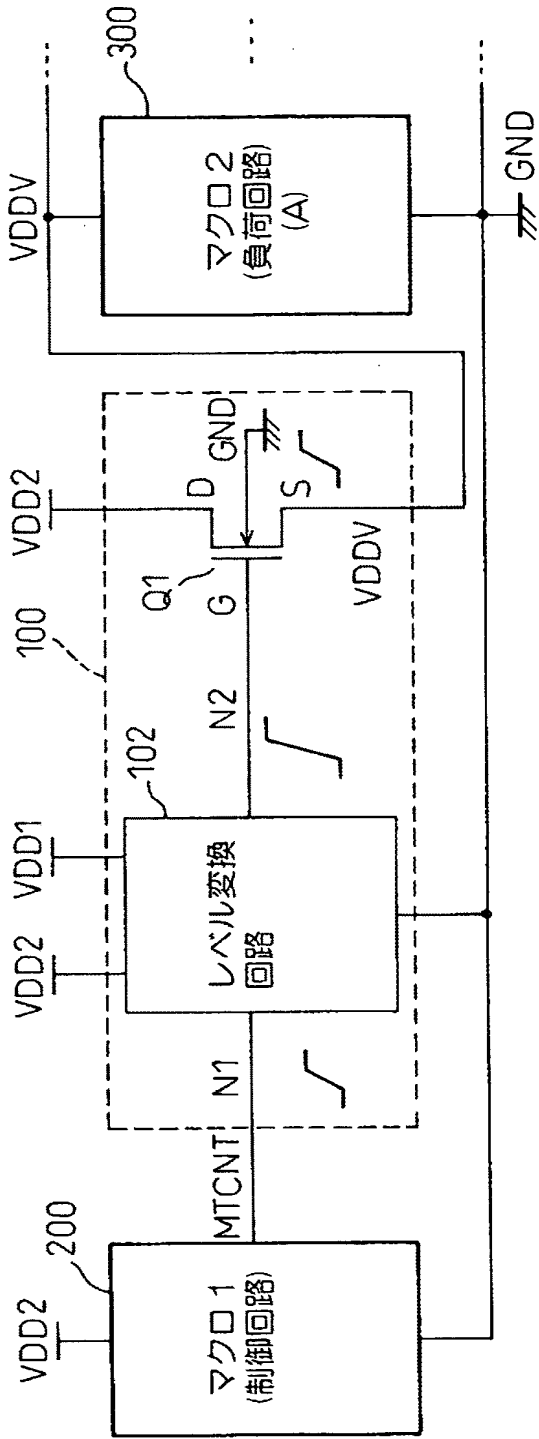
本発明に係る半導体集積回路装置の第 3 実施例を概略的に示すブロック回路図



【図 1 2】

図 12

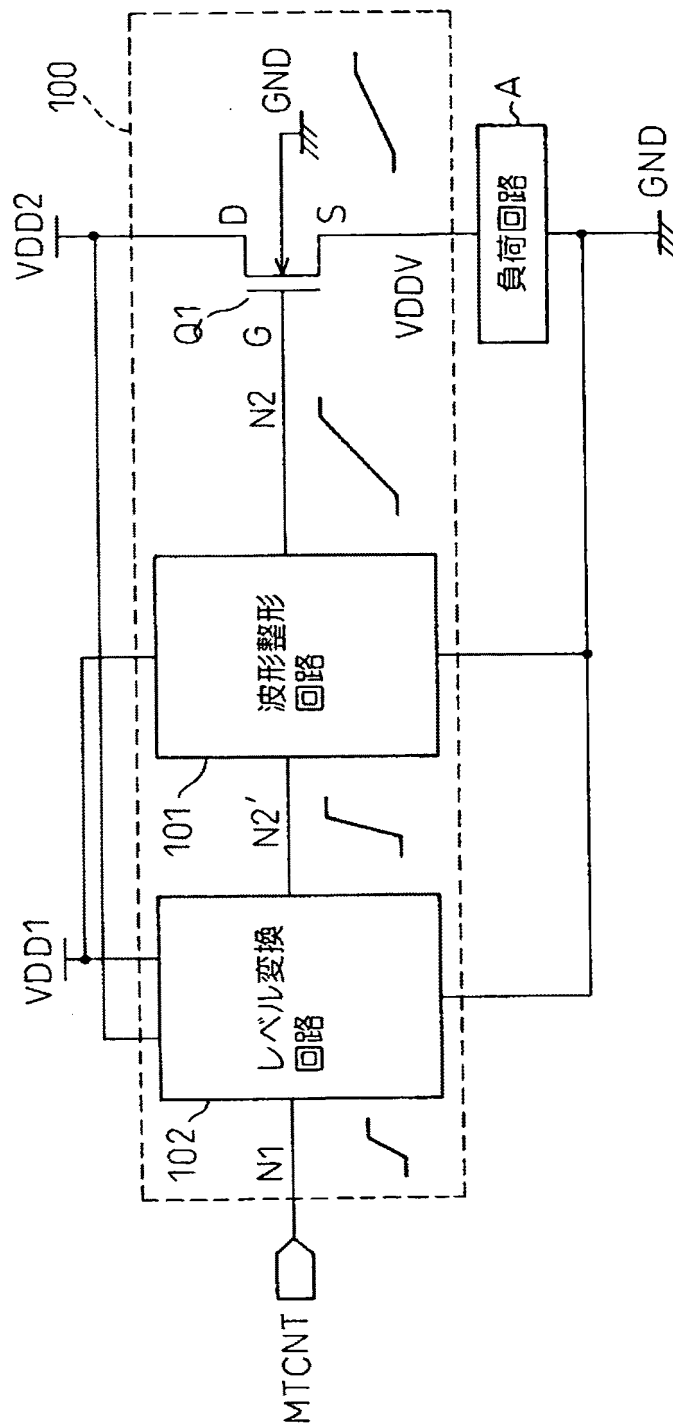
図 11 に示す第 3 実施例を適用した半導体集積回路装置の構成例を概略的に示す図



【図 13】

図 13

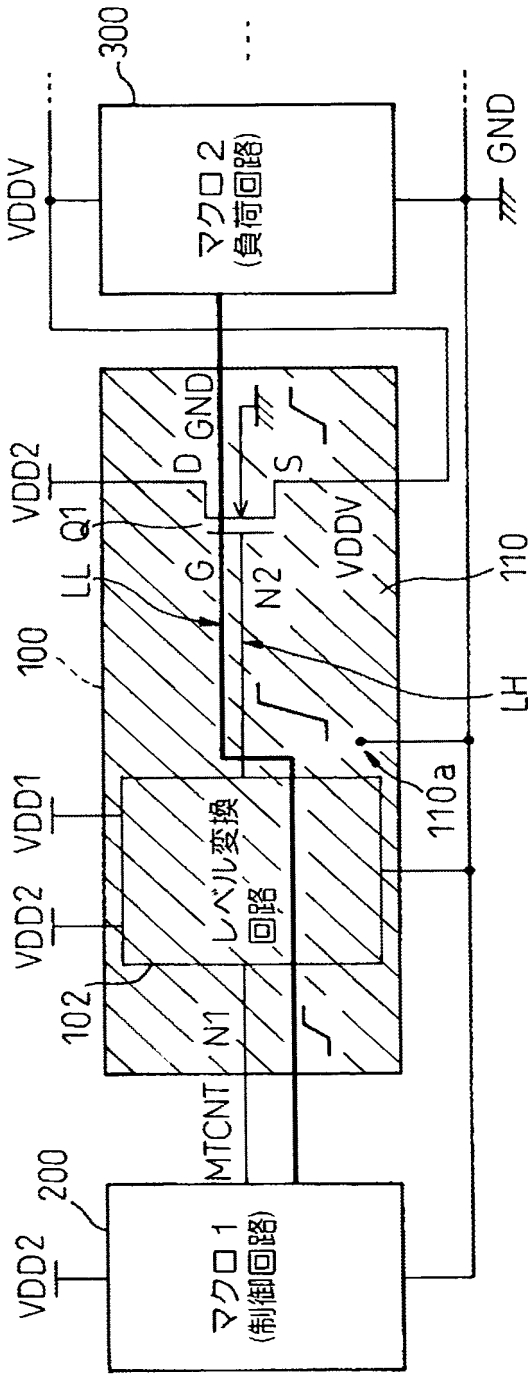
本発明に係る半導体集積回路装置の第 4 実施例を概略的に示すブロック回路図



【図 14】

図 14

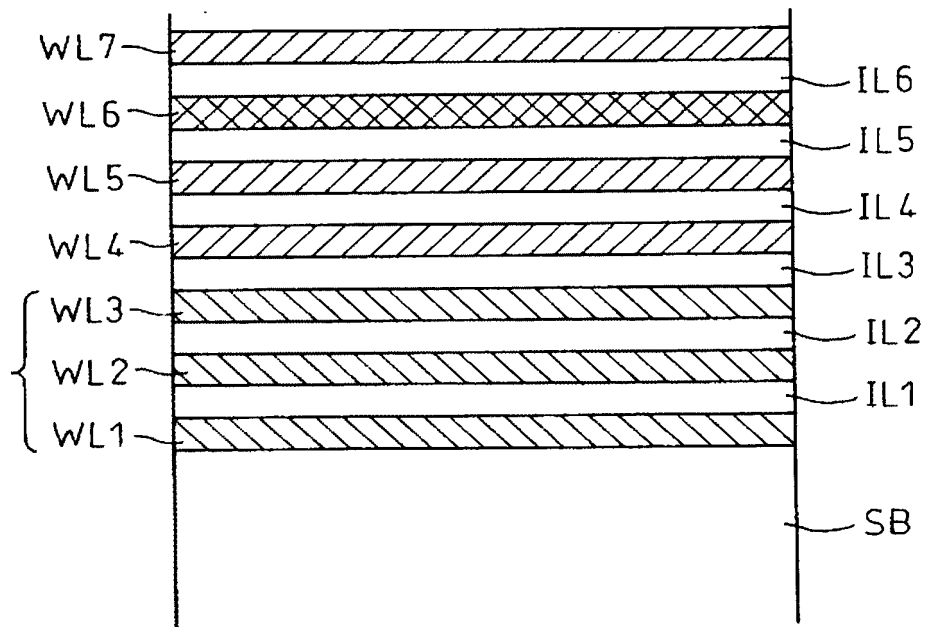
本発明に係る半導体集積回路装置の第 5 実施例を概略的に示すブロック回路図



【図 15】

図 15

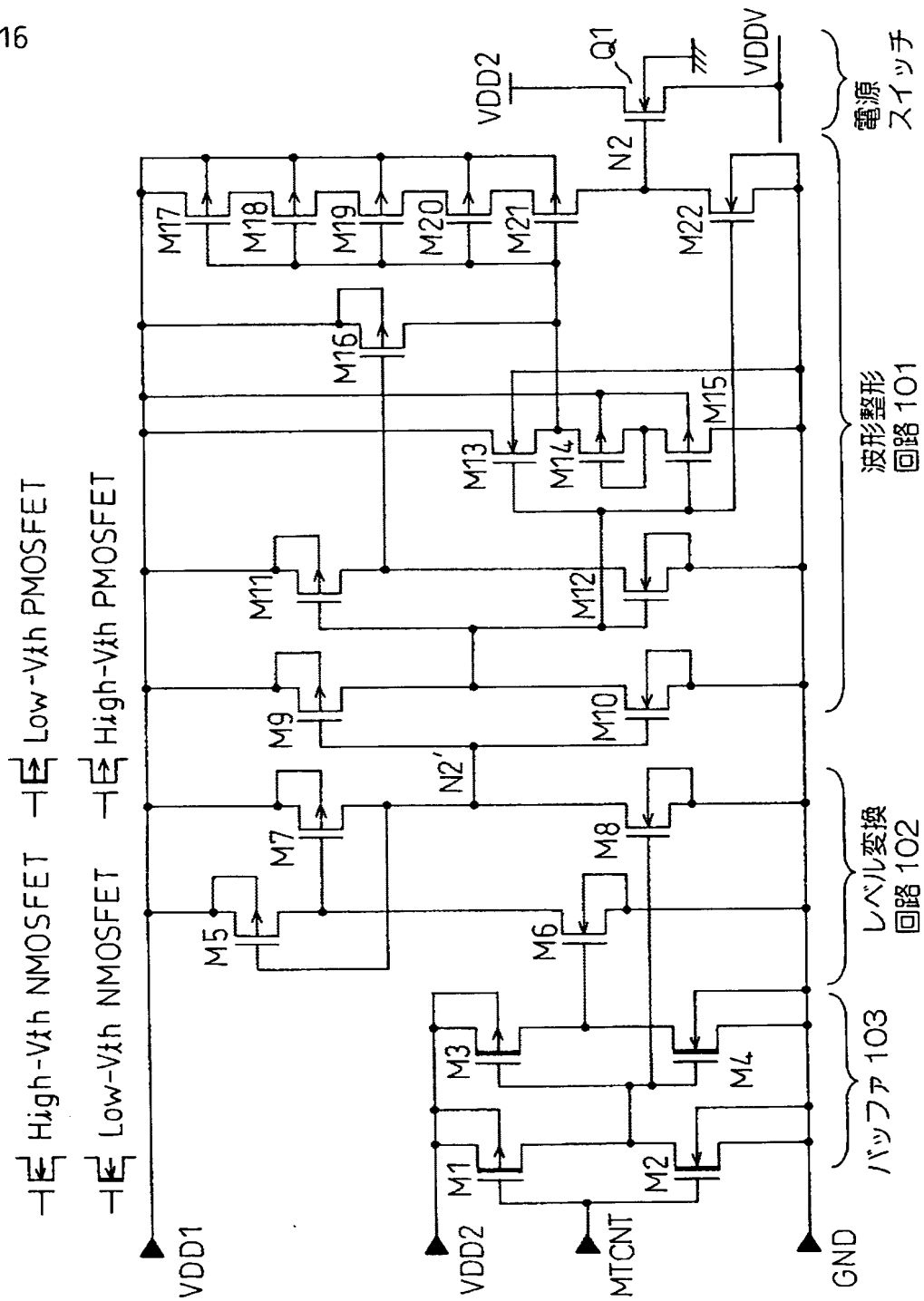
図 14 に示す半導体集積回路装置を説明するための
チップ配線層の断面図



【図 16】

图 16

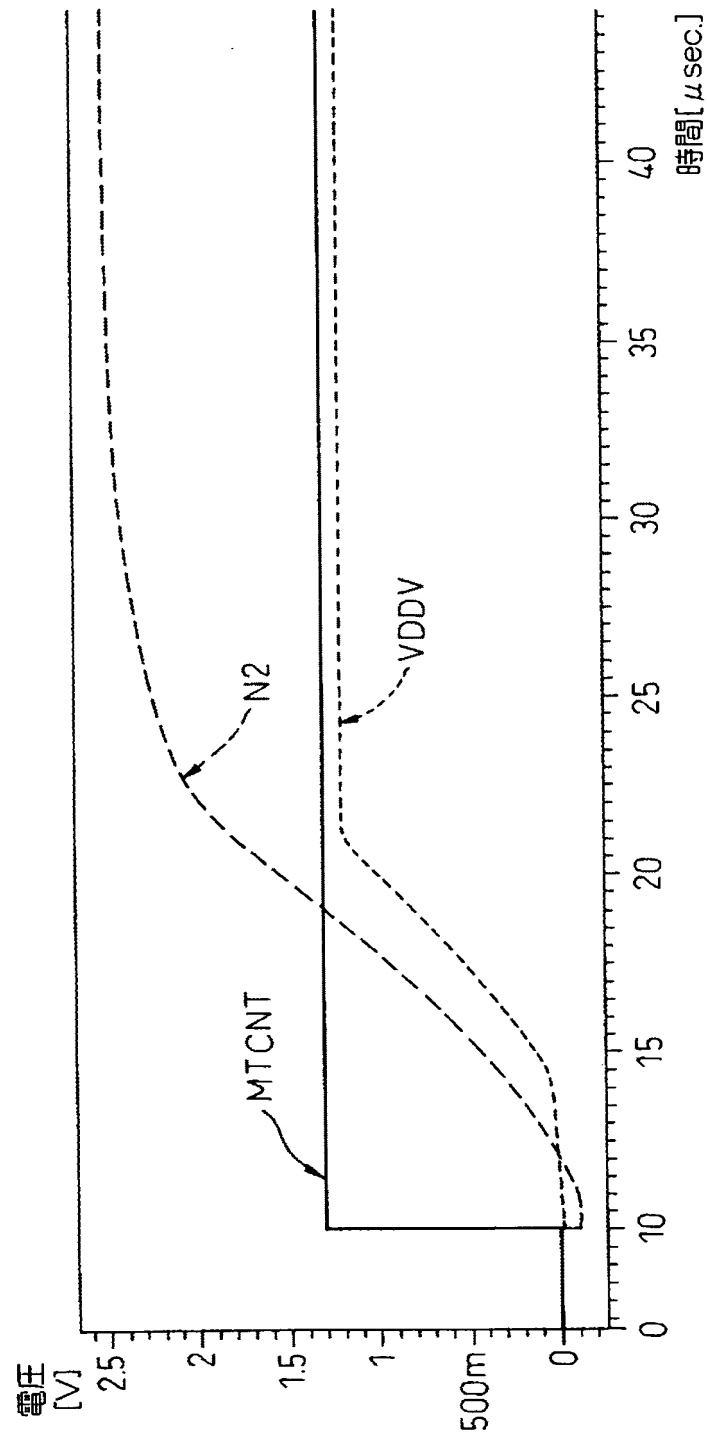
本発明に係る半導体集積回路装置の第6実施例を概略的に示す回路図



【図 17】

図 17

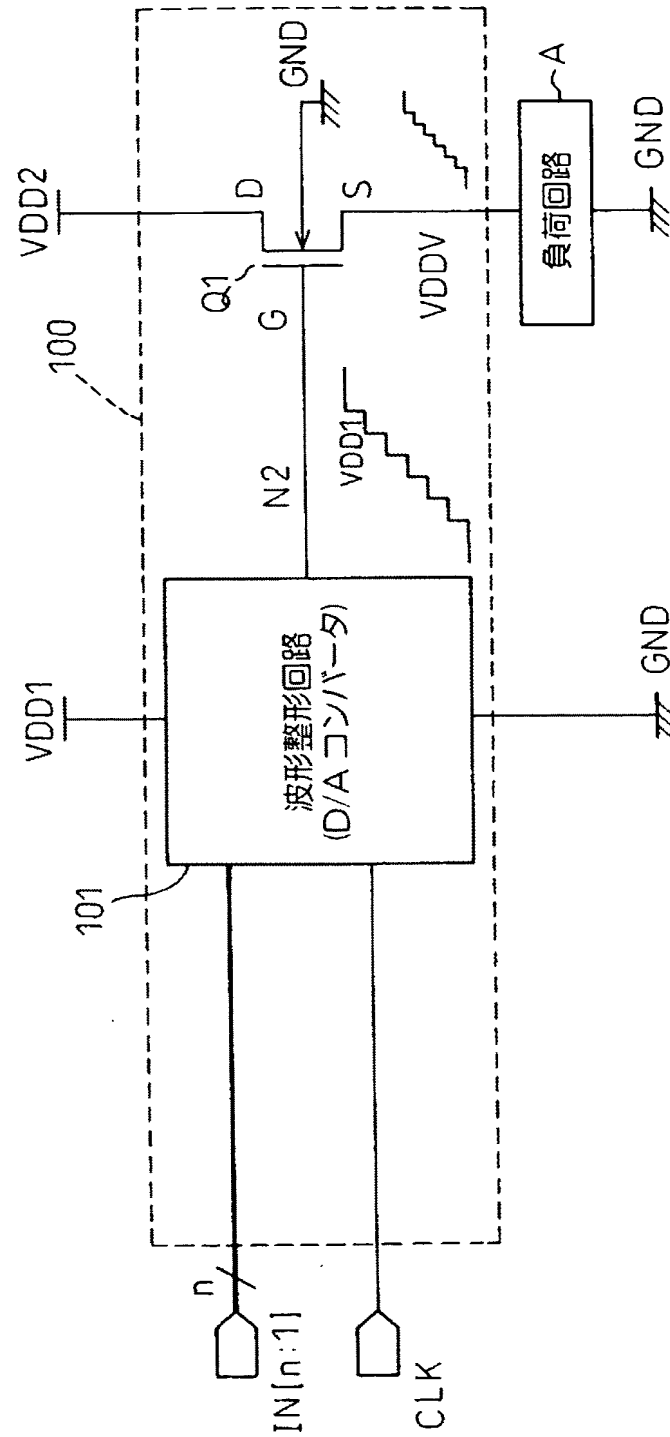
図 16 に示す半導体集積回路装置の動作を説明するための図



【図 18】

図 18

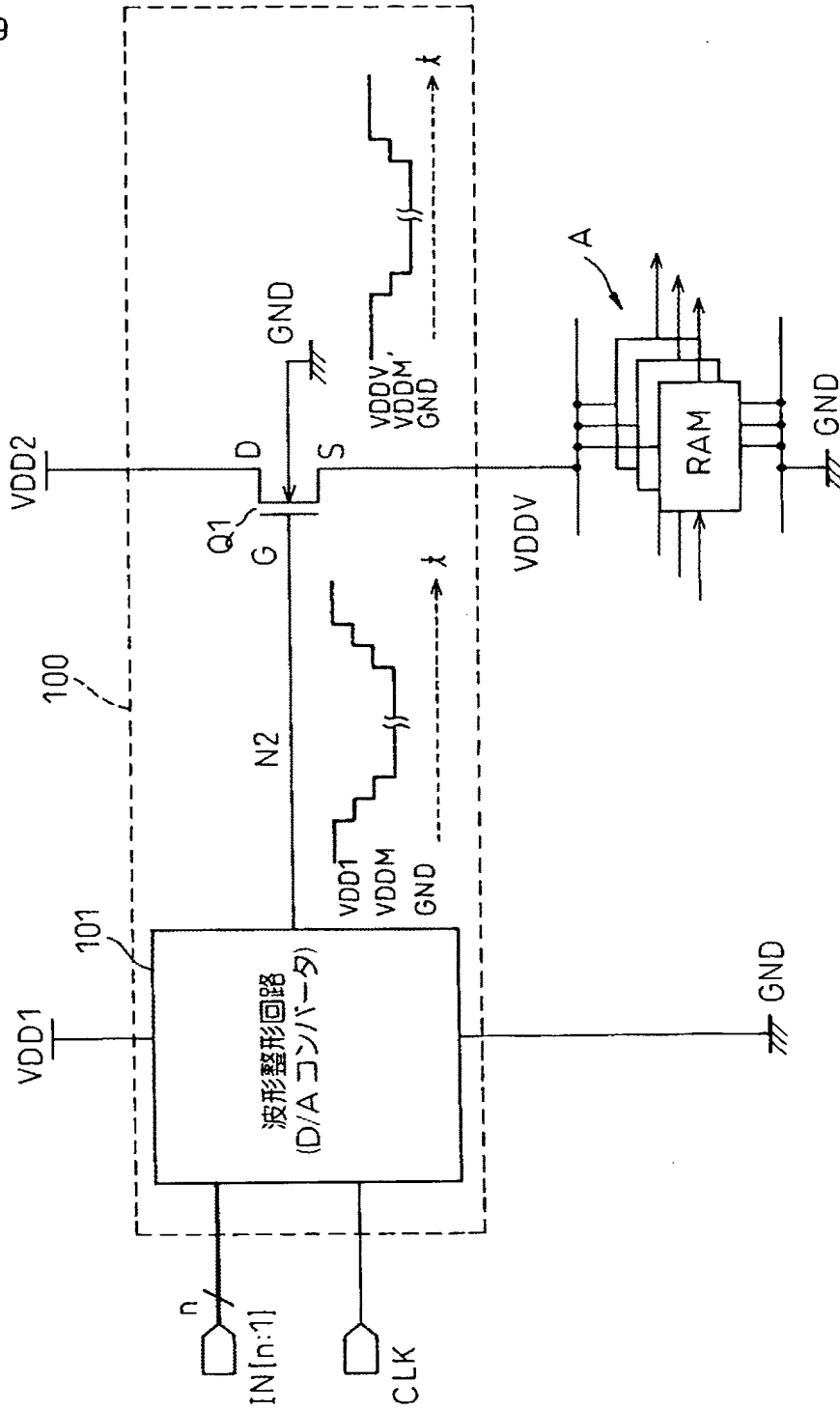
本発明に係る半導体集積回路装置の第 7 実施例を概略的に示すブロック回路図



【図 19】

図 19

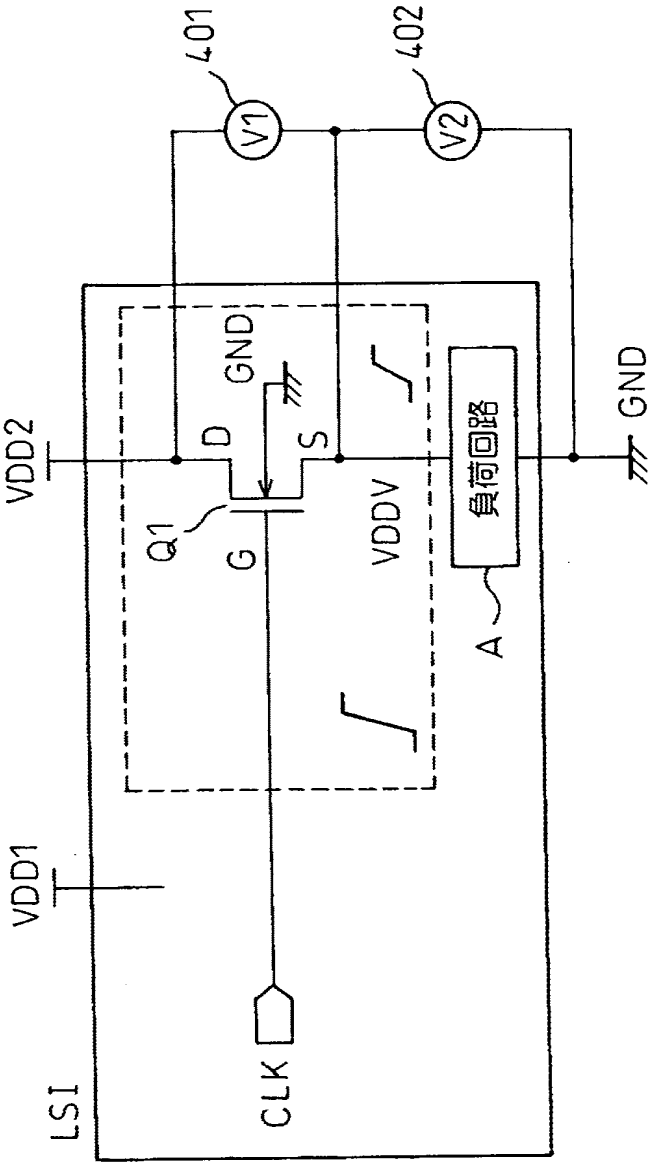
本発明に係る半導体集積回路装置の第 8 実施例を概略的に示すブロック回路図



【図 20】

図 20

本発明に係る半導体集積回路装置の第 9 実施例を概略的に示すブロック回路図





【書類名】 要約書

【要約】

【課題】 従来、MT-CMOSで構成されたリーク電流遮断回路を有する半導体集積回路装置は、レイアウト面積が大きく、既存のセルを使用することができず、或いは、コストの高いトリプルウェルを使用する必要があった。

【解決手段】 実高電位電源線VDDと疑似高電位電源線VDDVとの間に接続された高閾値電圧のNチャネル型MIS電界効果トランジスタQ1と、低閾値電圧のPチャネル型MIS電界効果トランジスタQ2、Q3および低閾値電圧のNチャネル型MIS電界効果トランジスタQ4、Q5で構成された負荷回路Aと、を備え、前記負荷回路の第1の電源端子を前記疑似高電位電源線に接続すると共に、前記負荷回路の第2の電源端子を実低電位電源線GNDに接続するように構成する。

【選択図】 図6



特願 2 0 0 3 - 2 0 4 7 3 9

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社